

한국공개특허공보 제2001-106233호(2001.11.29) 1부.

특 2001-0106233

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 27/04(11) 공개번호 특2001-0106233
(43) 공개일자 2001년11월29일

(21) 출원번호	10-2001-0025724
(22) 출원일자	2001년05월11일
(30) 우선권주장	2000-143861 2000년05월16일 일본(JP) 2001-003500 2001년05월11일 일본(JP)
(71) 출원인	미쓰비시덴키 가부시카가이샤 다니구찌 미치로오, 기타오카 다카시 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고
(72) 발명자	니미고지 일본도쿄도지요다구마루노우치2초메2반3고미쓰비시덴키가부시카가이샤내 미야니시마츠시 일본도쿄도지요다구마루노우치2초메2반3고미쓰비시덴키가부시카가이샤내
(74) 대리인	김창세

심사청구 : 있음

(54) 반도체 기억 장치

요약

본 발명의 목적은 다중 포트 SRAM의 액세스 타임을 고속화하는 것입니다.

본 발명은, 다중 포트 SRAM 셀을 구성하는 한 쌍의 CMOS 인버터가 형성된 P웰 영역 및 N웰 영역에 관한 것으로, P웰 영역을 2개의 P웰 영역 PE1 및 PE2로 분할하고 N웰 영역 NW의 양측에 또한 그들 사이의 경계선이 비트선과 평행하게 되도록 형성한다. 또한, 한 쌍의 액세스 게이트 N3 및 N5와 N4 및 N6이 각각 분할된 2개의 P웰 영역에 형성되는 것에 의해, 비트선 길이를 짧게 하여 배선 용량을 저감시킨다.

도면도

도2

평면도

도면의 간단한 설명

- 도 1은 실시예 1에 따른 반도체 기억 장치의 등가 회로를 도시한 도면,
 도 2는 실시예 1에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 3은 실시예 1에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 4는 실시예 1에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 5는 실시예 1에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 6은 컨택트 홀이나 비아홀 등의 각종 기호를 설명하기 위한 설명도,
 도 7은 실시예 2에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 8은 실시예 3에 따른 반도체 기억 장치의 등가 회로를 도시한 도면,
 도 9는 실시예 3에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 10은 실시예 3에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 11은 실시예 3에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 12는 실시예 3에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 13은 실시예 4에 따른 반도체 기억 장치의 등가 회로를 도시한 도면,
 도 14는 실시예 4에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,

목 2001-0106233

- 도 15는 실시예 4에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 16은 실시예 4에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 17은 실시예 4에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 18은 실시예 5에 따른 반도체 기억 장치의 등가 회로를 도시한 도면,
 도 19는 실시예 5에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 20은 실시예 5에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
 도 21은 종래의 반도체 기억 장치에 있어서, 반도체 기판 표면에 형성된 확산 영역과, 그의 상면에 형성된 다결정 실리콘막, 제 1 금속 배선층을 포함하는 하지를 도시한 레이아웃도,
 도 22는 종래의 반도체 기억 장치에 있어서, 상층에 형성된 제 2 및 제 3 금속 배선층을 포함하는 상부 그라운드(upper ground)를 도시한 레이아웃도,
 도 23은 종래의 기억 셀의 레이아웃도.

도면의 주요 부분에 대한 부호의 설명

N_{well} : N웰 영역
 P_{well1} : 제 1 P웰 영역
 P_{well2} : 제 2 P웰 영역
 FL11, FL12, FL21~26, FL31~36 : n⁺ 확산 영역
 FL11, FL12 : p⁺ 확산 영역
 AL11, AL12, AL15~18 : 제 1 금속 배선층
 AL21~29, AL41, AL42 : 제 2 금속 배선층
 AL31~33 : 제 3 금속 배선층
 N1~N6, N8~N11 : N채널형 MOS 트랜지스터
 P1, P2 : P채널형 MOS 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히 CMOS 구성의 다중 포트 SRAM(Static Random Access Memory)셀의 레이아웃에 관한 것이다.

최근, 전자기기의 경량 박형 단순화(短小化)와 함께 그 기기의 기능을 고속으로 실현하는 요망이 강해지고 있다. 이러한 전자기기에 있어서 미세한 마이크로컴퓨터를 탑재하는 것은 불가결하며, 그 마이크로컴퓨터의 구성에 있어서는 대용량이고 또한 고속인 메모리의 실장은 필수로 되고 있다. 또한, 퍼스널 컴퓨터의 급속한 보급과 고성능화 하에서 보다 고속인 처리를 실현하기 위해서, 캐시 메모리의 대용량화가 요청되고 있다. 즉, CPU가 제어 프로그램 등의 실행시에 있어서 사용하는 RAM에 대해서 고속화와 대용량화가 요청되고 있다.

이 RAM으로서 일반적으로 DRAM(Dynamic RAM)과 SRAM이 사용되고 있지만, 상기한 캐시 메모리와 같이 고속인 처리를 필요로 하는 부분에는 통상 SRAM이 사용되고 있다. SRAM은 그 메모리 셀의 구조로서, 4개의 트랜지스터와 2개의 교차할 소자로 구성되는 교차할 부하형과 6개의 트랜지스터로 구성되는 CMOS형이 알려져 있다. 특히, CMOS형의 SRAM은 데이터 유지시의 리크 전류가 매우 작기 때문에 신뢰성이 높아 현재 주류로 되고 있다.

일반적으로, 메모리 셀에 있어서, 그의 소자 면적을 축소하는 것은 메모리 셀 어레이의 소형화뿐만 아니라 고속화도 실현하는 것을 의미한다. 그래서, 종래부터 SRAM의 보다 고속인 동작을 실현하기 위해, 메모리 셀 구조에 대해서 다양한 레이아웃이 제안되고 있다.

예를 들면, 일본 특허 공개 공보 평성 제 10-176110 호에 개시된 「반도체 기억 장치」에 의하면, 메모리 셀을 구성하는 인버터가 형성된 P웰 영역과 N웰 영역의 경계선을 비트선과 평행하게 배치하는 것에 의해서, P웰 영역 또는 N웰 영역내의 확산 영역의 형상 및 2개의 인버터의 교차 접속부의 형상을 절곡부가 없는 간이한 것으로 하고, 결과적으로 셀 면적을 축소하는 것을 가능하게 하고 있다.

도 21 및 도 22는 상기한 일본 특허 공개 평성 제 10-176110 호의 「반도체 기억 장치」의 레이아웃도이다. 특히, 도 21은 반도체 기판 표면에 형성된 확산 영역, 그의 상면에 형성된 다결정 실리콘막 및 제 1 금속 배선층을 포함하는 하지를 도시하고 있고, 도 22는 그의 상면에 형성된 제 2 및 제 3 금속 배선층을 포함하는 상부 그라운드(upper ground)를 도시하고 있다.

특 2001-0106233

도 21에 도시하는 바와 같이 이 메모리 셀에는 중앙에 P채널형 MOS 트랜지스터 P101 및 P102가 형성된 N형 영역이 배치되고, 그의 양측에 N채널형 MOS 트랜지스터 N101 및 N103이 형성된 P형 영역과 N채널형 MOS 트랜지스터 N102 및 N104가 형성된 P형 영역이 배치되어 있다.

여기서, P채널형 MOS 트랜지스터 P101 및 P102와 N채널형 MOS 트랜지스터 N101 및 N102가 서로 교차 접속된 CMOS 인버터, 즉 풀업풀다운 회로를 구성하고, N채널형 MOS 트랜지스터 N103 및 N104가 액세스 게이트(트랜스퍼 게이트)에 상당한다.

또한, 도 22에 도시하는 바와 같이 비트선 BL 및 /BL는 제 2 금속 배선층으로서 각각 따로따로 형성되어, 각각 하층의 액세스 게이트 MOS 트랜지스터 N103 및 N104의 반도체 단자의 한쪽에 접속된다. 또한, 전원선 Vdd는 비트선 BL 및 /BL 사이의 중앙부에 제 2 금속 배선층으로서 비트선과 평행하게 형성되어, 하층의 P채널형 MOS 트랜지스터 P101 및 P102의 반도체 단자의 한쪽에 접속된다. 또한, 워드선 WL은 비트선 BL 및 /BL과 직교하는 방향으로 제 3 금속 배선층으로서 형성되어, 하층의 N채널형 MOS 트랜지스터 N103 및 N104의 게이트에 접속된다. 또한, 접지선 GND는 워드선 WL의 양측에 평행하게 2개의 제 3 금속 배선층으로서 형성되어 있다.

메모리 셀을 이러한 레이아웃으로 형성한 결과, MOS 트랜지스터 N101 및 N103이 형성된 P형 영역내의 N형 확산 영역과 MOS 트랜지스터 N102 및 N104가 형성된 N형 확산 영역을 비트선 BL 및 /BL과 평행하게 직선형상으로 형성할 수 있어 불필요한 영역의 발생을 방지할 수 있다.

또한, 셀의 가로방향의 길이 즉 워드선 WL 방향의 길이가 세로 방향의 길이 즉 비트선 BL 및 /BL의 길이에 비해서 상대적으로 길기 때문에, 비트선 BL 및 /BL에 접속되는 셀스 액세스의 레이아웃이 용이하게 될과 동시에, 1개의 워드선에 접속되는 셀의 수가 감소하여 한쪽시에 흐르는 셀 전류 즉 소비전력을 저감할 수 있다.

상기한 SRAM의 메모리 셀은 소위 1포트 SRAM의 예이지만, 다른 한편으로 최근에는 컴퓨터의 고속화를 실현하는 수단으로서 멀티프로세서가 도입되고 있고, 복수의 CPU가 하나의 메모리 영역을 공유하는 것이 요청되고 있다. 즉, 하나의 메모리 셀에 대해서 2개의 포트로부터의 액세스를 가능하게 한 2포트 SRAM에 대해서도 여러 가지의 레이아웃이 제안되어 있다.

예를 들면, 일본 특허 공개 공보 평성 제 07-7089 호에 개시된 「기억 셀」에 의하면, 제 2 포트를 제 1 포트와 대칭으로 배치하고 또한 동일한 층에 제 1 포트와 동시에 형성하는 것에 의해, 2포트 SRAM의 구성을 실현하고 있다. 도 23은 이 일본 특허 공개 공보 평성 제 07-7089 호에 개시된 「기억 셀」의 레이아웃도이다.

도 23에 있어서, P채널형 MOS 트랜지스터 P201 및 P202와 N채널형 MOS 트랜지스터 N201', N202', N201'' 및 N202''가 서로 교차 접속된 CMOS 인버터 즉 풀업풀다운 회로를 구성하고, N채널형 MOS 트랜지스터 NA, NB, NA2 및 NB2가 액세스 게이트(트랜스퍼 게이트)에 상당한다.

즉, 도 23에 있어서, N채널형 MOS 트랜지스터 NA 및 NB가 워드선 WL1을 거친 한쪽의 포트로부터의 액세스를 가능하게 하고, N채널형 MOS 트랜지스터 NA2 및 NB2가 워드선 WL2를 거친 다른 쪽 포트로부터의 액세스를 가능하게 하고 있다.

문제가 이루고자 하는 기술적 과제

종래의 메모리 셀은 그의 레이아웃 구조가 비트선 방향으로 길기 때문에 비트선의 배선 용량이 커서 지역이 용하다는 문제가 있고, 상기한 특허 공개 공보 평성 제 10-178110 호에 개시된 「반도체 기억 장치」는 1포트 SRAM에 대해서 이러한 문제를 해결하고 있다.

그러나, 이 「반도체 기억 장치」에서는 일반적으로 2조의 액세스 게이트와 구동형 MOS 트랜지스터를 구비한 2포트 SRAM에 대해서는 상기한 문제를 해결하고 있지 않다. 또한, 상기한 일본 특허 공개 공보 평성 제 07-7089 호에 개시된 「기억 셀」은 2포트 SRAM 셀의 레이아웃을 나타내는 것이지만, 제 2 포트를 1포트 SRAM 셀의 레이아웃에 큰 변경을 일으키지 않고 용이하게 추가할 수 있는 레이아웃을 제공하는 것으로서, 2포트 SRAM 셀을 비트선 방향으로 축소하는 것을 목적으로 하는 것이 아니다.

본 발명은 상기 문제점을 해결하기 위해 이루어진 것으로서, 다중 포트 SRAM 셀을 구성하는 한 쌍의 CMOS 인버터가 형성된 P형 영역 및 N형 영역에 관한 것으로, P형 영역을 2개로 분할하여 N형 영역의 양측에 배치하고, 그의 경계가 비트선과 평행하게 위치하고 또한 한 쌍의 액세스 게이트를 분할된 2개의 P형 영역에 각각 형성하는 것에 의해, 비트선 방향의 길이가 짧은 메모리 셀의 반도체 기억 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상술한 과제를 해결하여 목적을 달성하기 위해서, 본 발명에 따른 반도체 기억 장치에 있어서는 제 1 워드선과, 제 2 워드선과, 제 1 정상(positive-phase) 비트선과, 제 1 역상(negative-phase) 비트선과, 제 2 정상 비트선과, 제 2 역상 비트선과, 제 1 N채널형 MOS 트랜지스터 및 제 1 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하는 제 1 CMOS 인버터와, 제 2 N채널형 MOS 트랜지스터 및 제 2 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성함과 동시에, 상기 CMOS 인버터의 입력 단자를 제 1 기억 노드로 해서 상기 제 1 CMOS 인버터의 출력 단자에 접속되고 상기 CMOS 인버터의 출력 단자를 제 2 기억 노드로 해서 상기 제 2 CMOS 인버터의 입력 단자에 접속된 제 2 CMOS 인버터와, 게이트를 상기 제 1 워드선에 접속하고 드레인을 상기 제 1 정상 비트선에 접속하고 소스를 상기 제 1 기억 노드에 접속한 제 3 N채널형 MOS 트랜지스터와, 게이트를 상기 제 1 워드선에 접속하고 드레인을 상기 제 1 역상 비트선에 접

특 2001-0106233

속하고 소스를 상기 제 2 기역 노드에 접속한 제 4 N채널형 MOS 트랜지스터와, 게이트를 상기 제 2 워드선에 접속하고 드레인을 상기 제 2 정상 비트선에 접속하고 소스를 상기 제 1 기역 노드에 접속한 제 5 N채널형 MOS 트랜지스터와, 게이트를 상기 제 2 워드선에 접속하고 드레인을 상기 제 2 역상 비트선에 접속하고 소스를 상기 제 2 기역 노드에 접속한 제 6 N채널형 MOS 트랜지스터를 구비하고, 상기 제 1 및 제 2 P채널형 MOS 트랜지스터는 N웰 영역에 형성되고, 상기 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터는 제 1 P웰 영역에 형성되고, 상기 제 2, 제 4 및 제 6 N채널형 MOS 트랜지스터는 제 2 P웰 영역에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P웰 영역이 상기 N웰 영역의 양쪽에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 정상 비트선, 상기 제 1 역상 비트선, 상기 제 2 정상 비트선 및 상기 제 2 역상 비트선의 각각의 연장 방향과 상기 제 1 및 제 2 P웰 영역과 상기 N웰 영역과의 경계선이 평행한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P웰 영역과 상기 N웰 영역과의 경계선이 상기 제 1 및 제 2 워드선의 각각의 연장 방향과 직교하는 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 P채널형 MOS 트랜지스터와 상기 제 1, 제 3 및 제 4 N채널형 MOS 트랜지스터가 각각의 게이트 영역이 상기 제 1 워드선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성되고, 상기 제 2 P채널형 MOS 트랜지스터와 상기 제 2, 제 5 및 제 6 N채널형 MOS 트랜지스터가 각각의 게이트 영역이 상기 제 2 워드선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 3 및 제 5 N채널형 MOS 트랜지스터는 각각의 소스 확산 영역 및 드레인 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 1 및 제 2 정상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성되고, 상기 제 4 및 제 6 N채널형 MOS 트랜지스터는 각각의 소스 확산 영역 및 드레인 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 1 및 제 2 역상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 3 및 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역이 공통의 제 1 n+ 확산 영역에서 형성되고, 상기 제 4 및 제 6 N채널형 MOS 트랜지스터의 드레인 확산 영역이 공통의 제 2 n+ 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 3 및 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역이 컨택트 홀을 거쳐서 상층의 제 1 금속 배선에 의해 접속되고, 상기 제 2 n+ 확산 영역과 상기 제 2 P채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 및 제 6 N채널형 MOS 트랜지스터의 드레인 확산 영역이 컨택트 홀을 거쳐서 상층의 제 2 금속 배선에 의해 접속된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 금속 배선의 연장 방향이 상기 제 1 및 제 2 워드선의 연장 방향에 대해서 평행한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 정상 비트선과, 상기 제 1 및 제 2 역상 비트선과, 전원 라인과, GND 라인의 각각의 연장 방향이 상기 제 1 및 제 2 워드선에 대해서 수직인 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역이 공통의 제 1 n+ 확산 영역에서 형성되고, 상기 제 2, 제 4 및 제 6 N채널형 MOS 트랜지스터의 드레인 확산 영역이 공통의 제 2 n+ 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 n+ 확산 영역과 상기 제 1 P채널형 MOS 트랜지스터의 드레인 확산 영역이 컨택트 홀을 거쳐서 상층의 제 1 금속 배선에 의해 접속되고, 상기 제 2 n+ 확산 영역과 상기 제 2 P채널형 MOS 트랜지스터의 드레인 확산 영역이 컨택트 홀을 거쳐서 상층의 제 2 금속 배선에 의해 접속된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 제 1 워드선과, 제 2 워드선과, 제 1 정상 비트선과, 제 1 역상 비트선과, 제 2 정상 비트선과, 제 1 N채널형 MOS 트랜지스터 및 제 1 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하는 제 1 CMOS 인버터와, 제 2 N채널형 MOS 트랜지스터 및 제 2 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성함과 동시에, 상기 CMOS 인버터의 입력 단자를 제 1 기역 노드로 해서 상기 제 1 CMOS 인버터의 출력 단자에 접속되고 상기 CMOS 인버터의 출력 단자를 제 2 기역 노드로 해서 상기 제 1 CMOS 인버터의 입력 단자에 접속된 제 2 CMOS 인버터와, 게이트를 상기 제 1 워드선에 접속하고 드레인을 상기 제 1 정상 비트선에 접속하고 소스를 상기 제 1 기역 노드에 접속한 제 3 N채널형 MOS 트랜지스터와, 게이트를 상기 제 1 워드선에 접속하고 드레인을 상기 제 1 역상 비트선에 접속하고 소스를 상기 제 2 기역 노드에 접속한 제 4 N채널형 MOS 트랜지스터와, 게이트를 상기 제 1 기역 노드에 접속한 제 5 N채널형 MOS 트랜지스터와, 게이트를 상기 제 2 워드선에 접속하고 드레인을 상기 제 2 정상 비트선에 접속하고, 소스를 상기 제 5 N채널형 MOS 트랜지스터의 드레인에 접속한 제 6 N채널형 MOS 트랜지스터를 구비하고, 상기 제 1 및 제 2 P채널형 MOS 트랜지스터는 N웰 영역에 형성되고, 상기 제 1 및 제 3 N채널형 MOS 트랜지스터는 제 1 P웰 영역에 형성되고, 상기 제 2, 제 4, 제 5 및 제 6 N채널형 MOS 트랜지스터는 제 2 P웰 영역에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 또 제 3 워드선과, 제 1 정상 비트선과, 제 2 역상 비트선과, 게이트를 상기 제 2 기역 노드에 접속한 제 7 N채널형 MOS 트랜지스터와, 게이트를 상기 제 3 워드선에 접속하고 드레인을 상기 제 2 역상 비트선에 접속하고 소스를 상기 제 7 N채널형 MOS 트랜지스터의 드레인에 접속한 제 8 N채널형 MOS 트랜지스터를 구비하고, 상기 제 7 및 제 8 N채널형 MOS 트랜지스

특 2001-0106233

터는 상기 제 1 P웰 영역에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 2 및 제 3 워드선을 공통의 1개의 워드선으로 한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P웰 영역은 상기 N웰 영역의 양쪽에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 정상 비트선, 상기 제 1 역상 비트선 및 상기 제 2 정상 비트선의 각각의 연장 방향과 상기 제 1 및 제 2 P웰 영역과 상기 N웰 영역과의 경계선은 평행한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P웰 영역과 상기 N웰 영역과의 경계선은 상기 제 1 및 제 2 워드선의 각각의 연장 방향과 직교하는 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 P채널형 MOS 트랜지스터와 상기 제 1, 제 4 및 제 6 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 동일 직선 상에 위치하고 또한 상기 제 1 워드선의 연장 방향에 대해서 평행하게 배치하도록 형성되고, 상기 제 2 P채널형 MOS 트랜지스터와 상기 제 2, 제 3 및 제 5 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 동일 직선 상에 위치하고 또한 상기 제 2 워드선의 연장 방향에 대해서 평행하게 배치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 3 N채널형 MOS 트랜지스터는 상기 제 1 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 3 N채널형 MOS 트랜지스터의 소스 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 1 정상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성되고, 상기 제 2 및 제 4 N채널형 MOS 트랜지스터는 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지스터의 소스 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 1 역상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성되고, 상기 제 5 및 제 6 N채널형 MOS 트랜지스터는 상기 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 2 정상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 3 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 1 n⁺ 확산 영역에서 형성되고, 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 2 n⁺ 확산 영역에서 형성되고, 상기 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 3 n⁺ 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 2 P채널형 MOS 트랜지스터와 상기 제 2 및 제 5 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 직선 형상의 공통의 폴리실리콘 배선에 의해 접속된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 정상 비트선과, 상기 제 1 역상 비트선과, 전원 라인과, GND 라인의 각각의 연장 방향이 상기 제 1 및 제 2 워드선에 대해서 수직인 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 P채널형 MOS 트랜지스터와 상기 제 1, 제 4, 제 6 및 제 7 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 상기 제 1 워드선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성되고, 상기 제 2 P채널형 MOS 트랜지스터와 상기 제 2, 제 3, 제 5 및 제 8 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 상기 제 2 워드선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 3 N채널형 MOS 트랜지스터는 상기 제 1 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 3 N채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 1 정상 비트선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성되고, 상기 제 2 및 제 4 N채널형 MOS 트랜지스터는 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 1 역상 비트선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성되고, 상기 제 5 및 제 6 N채널형 MOS 트랜지스터는 상기 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 2 정상 비트선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성되고, 상기 제 7 및 제 8 N채널형 MOS 트랜지스터는 상기 제 7 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 8 N채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 2 역상 비트선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 3 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 1 n⁺ 확산 영역에서 형성되고, 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 2 n⁺ 확산 영역에서 형성되고, 상기 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 3 n⁺ 확산 영역에서 형성되고, 상기 제 7 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 8 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 4 n⁺ 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 2 P채널형 MOS 트랜지스터와 상기 제 2 및 제 5 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 직선 형상의 공통의 제 1 폴리실리콘 배선에 의해 접속되고, 상기 제 1 P채널형 MOS 트랜지스터와 상기 제 1 및 제 7 N채널형 MOS 트랜지스터는 각각의 게이트 영역이 직선 형상의 공통의 제 2 폴리실리콘 배선에 의해 접속된 것을 특징으로 한

특 2001-0106233

다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

이하에 본 발명에 따른 실시예를 도면에 따라서 상세하게 설명한다. 또, 본 실시예에 의해 본 발명이 한정되는 것은 아니다.

(실시예 1)

우선, 실시예 1에 따른 반도체 기억 장치에 대해서 설명한다. 도 1은 실시예 1에 따른 반도체 기억 장치의 등가 회로를 도시한 도면이다. 도 1에 있어서, P채널형 MOS 트랜지스터 P1과 N채널형 MOS 트랜지스터 N1(N1')은 제 1 CMOS 인버터를 구성하고, 또한 P채널형 MOS 트랜지스터 P2와 N채널형 MOS 트랜지스터 N2(N2')는 제 2 CMOS 트랜지스터를 구성하고 있고, 이들 CMOS 인버터사이에서 입력력 단자가 교차 접속되어 있다.

즉, 이들 MOS 트랜지스터 P1, P2, N1, N1', N2 및 N2'에 의해서 풀업풀다운 회로가 구성되고, 도 1 중 상기한 제 1 CMOS 인버터의 출력점이고 또한 제 2 CMOS 인버터의 입력점이기도 한 기억 노드 MA와 제 2 CMOS 인버터의 출력점이고 또한 제 1 CMOS 인버터의 입력점이기도 한 기억 노드 MB에 있어서, 논리 상태의 기록 및 판독이 가능해진다.

또한, N채널형 MOS 트랜지스터 N3, N4, N5 및 N6은 각각 액세스 게이트로서 기능하고, N채널형 MOS 트랜지스터 N3은 게이트를 제 1 워드선 WL0에 접속하고 소스를 상기한 기억 노드 MA에 접속함과 동시에 드레인들 제 1 정상(positive-phase) 비트선 BL00에 접속하고 있다. 또한, N채널형 MOS 트랜지스터 N5는 게이트를 제 2 워드선 WL1에 접속하고 소스를 기억 노드 MA에 접속함과 동시에 드레인들 제 2 정상 비트선 BL10에 접속하고 있다.

또한, N채널형 MOS 트랜지스터 N4는 게이트를 제 1 워드선 WL0에 접속하고 소스를 상기한 기억 노드 MB에 접속함과 동시에 드레인들 제 1 역상(negative-phase) 비트선 BL01에 접속하고 있다. 또한, N채널형 MOS 트랜지스터 N6은 게이트를 제 2 워드선 WL1에 접속하고 소스를 기억 노드 MB에 접속함과 동시에 드레인들 제 2 역상 비트선 BL11에 접속하고 있다.

즉, 제 1 워드선 WL0, 제 1 정상 비트선 BL00 및 제 1 역상 비트선 BL01의 선택에 의해 제 1 포트에 의한 기억값의 판독을 가능하게 하고, 제 2 워드선 WL1, 제 2 정상 비트선 BL10 및 제 2 역상 비트선 BL11의 선택에 의해 제 2 포트에 의한 기억값의 판독을 가능하게 하고 있다.

여기서, 도 1에 도시한 등가 회로 자체는 종래의 2포트 SRAM 셀의 회로와 전혀 다르지 않지만, 실시예 1에 따른 반도체 기억 장치에서는 그의 구조에 특징이 있다. 도 2~도 5는 실시예 1에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도이다. 또한, 도 6은 도 2~도 5에 도시한 컨택트 홀이나 비아홀 등의 각종 기호를 설명하기 위한 설명도이다. 우선, 도 2는 반도체 기판 중에 형성된 웰 영역과, 그의 웰 영역에 형성된 확산 영역과, 그들의 상면에 형성된 폴리실리콘 배선층을 포함하는 레이아웃을 도시하고 있다.

실시예 1에 따른 반도체 기억 장치의 메모리 셀에서는 도 2에 도시하는 바와 같이 반도체 기판상의 표면 방향에 있어서 제 1 P웰 영역 PW1, N웰 영역 NW, 제 2 P웰 영역 PW2가 그 순서대로 배치되도록 각각 형성되어 있다. 즉, N웰 영역 NW의 양측에 2개의 P웰 영역 PW1 및 PW2가 분할되어 배치되어 있다.

특히, 이들 웰 영역은 제 1 P웰 영역 PW1과 N웰 영역 NW의 경계선(이하, 제 1 웰 경계선이라 함)과 제 2 P웰 영역 PW2와 N웰 영역 NW의 경계선(이하, 제 2 웰 경계선이라 함)이 평행하게 되도록 형성된다. 또, 도시하고 있지 않지만, N웰 영역 NW와 제 1 P웰 영역 PW1 사이와 N웰 영역 NW와 제 2 P웰 영역 PW2 사이에는 각각 분리영역이 존재한다.

그리고, 제 1 P웰 영역 PW1에는 도 1에 도시한 N채널형 MOS 트랜지스터 N1, N1', N3 및 N5가 형성되고, N 웰 영역 NW에는 도 1에 도시한 P채널형 MOS 트랜지스터 P1 및 P2가 형성되고, 제 2 P웰 영역 PW2에는 도 1에 도시한 N채널형 MOS 트랜지스터 N2, N2', N4 및 N6이 형성된다.

이하에 도 2~도 5에 도시한 각 레이아웃의 구조에 대해서 순서대로 설명한다. 우선, 도 2에 도시하는 레이아웃에 있어서, 제 1 P웰 영역 PW1에 상기한 제 1 웰 경계선에 대해서 수직인 방향으로 연장해서 배치된 2개의 폴리실리콘 배선층 PL21 및 PL22가 형성되고, 마찬가지로 제 2 P웰 영역 PW2에 상기한 제 2 웰 경계선에 대해서 수직인 방향으로 연장해서 병렬 배치된 2개의 폴리실리콘 배선층 PL31 및 PL32가 형성된다.

또한, N웰 영역 NW로부터 제 1 P웰 영역 PW1에 걸쳐서 갈고리 형상의 폴리실리콘 배선층 PL11이 제 1 웰 경계선과 수직인 방향으로 또한 그의 갈고리 단부가 제 1 P웰 영역 PW1에 위치하도록 형성된다. 특히, 그의 갈고리 단부는 도 2에 도시하는 바와 같이 폴리실리콘 배선층 PL11의 갈고리 단부를 구성하는 2개의 병진축(均進)축(주축과 더청축(return axis))이 각각 상기한 2개의 폴리실리콘 배선층 PL21 및 PL22의 축과 일치하는 형상이다. 도 2에 있어서는 폴리실리콘 배선층 PL11의 주축이 폴리실리콘 배선층 PL21과 일치하고 있다. 한편, 폴리실리콘 배선층 PL11의 다른 쪽 단부는 상기한 제 2 웰 경계선에 위치한다.

마찬가지로, N웰 영역 NW로부터 제 2 P웰 영역 PW2에 걸쳐서 갈고리 형상의 폴리실리콘 배선층 PL12가 제 2 웰 경계선과 수직인 방향으로 또한 그의 갈고리 단부가 제 2 P웰 영역 PW2에 위치하도록 형성된다. 그리고, 그의 갈고리 단부는 도 2에 도시하는 바와 같이 폴리실리콘 배선층 PL12의 갈고리 단부를 구성하는 2개의 병진축이 각각 상기한 2개의 폴리실리콘 배선층 PL31 및 PL32의 축과 일치하는 형상이다. 도 2에 있어서는 폴리실리콘 배선층 PL12의 주축이 폴리실리콘 배선층 PL31과 일치하고 있다. 한편, 폴리실리콘 배선층 PL12의 다른 쪽 단부는 상기한 제 1 웰 경계선에 위치한다.

그리고, 제 1 P웰 영역 PW1에 있어서, 폴리실리콘 배선층 PL21을 사이에 두는 위치에 N웰 불순물의 주입에 의해 n+ 확산 영역 FL21 및 FL22가 형성된다. 이것에 의해, 폴리실리콘 배선층 PL21을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N3이 형성된다. 또한, 폴리실리콘 배선층 PL22를 사이에 두는 위치에 n+

록 2001-0106233

확산 영역 FL22 및 FL23이 형성된다. 이것에 의해, 폴리실리콘 배선층 PL22를 게이트 전극으로 한 N채널형 MOS 트랜지스터 N5가 형성된다.

특히, 이들 N채널형 MOS 트랜지스터 N3 및 N5는 폴리실리콘 배선층 PL21 및 PL22가 병렬 배치되어 있기 때문에 n+ 확산 영역 FL21~23을 제 1 웰 경계선과 평행한 방향으로 또한 일직선상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL22를 N채널형 MOS 트랜지스터 N3 및 N5에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL22의 공유는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N3과 N5의 소스-게이트 접점을 달성함과 동시에 N채널형 MOS 트랜지스터 N3 및 N5의 점유 면적의 축소에 기여하고 있다.

또한, 제 1 P웰 영역 Pw1에는 폴리실리콘 배선층 PL11의 갈고리 단부의 주축을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL24 및 FL25가 형성된다. 이것에 의해, 폴리실리콘 배선층 PL11의 주축을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N10이 형성된다. 또한, 폴리실리콘 배선층 PL11의 갈고리 단부의 대향축을 사이에 두는 위치에 n+ 확산 영역 FL25 및 FL26이 형성되는 것에 의해, 폴리실리콘 배선층 PL11의 대향축을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N1'가 형성된다. 즉, 폴리실리콘 배선층 PL11의 갈고리 단부는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N1과 N1'의 게이트-게이트 접점을 달성하고 있다.

이들 N채널형 MOS 트랜지스터 N1 및 N1'에 대해서도 상기한 N채널형 MOS 트랜지스터 N3 및 N5와 마찬가지로 폴리실리콘 배선층 PL11의 갈고리 단부의 주축과 대향이 병렬 배치되어 있기 때문에 n+ 확산 영역 FL24~26을 제 1 웰 경계선과 평행한 방향으로 또한 일직선상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL25를 N채널형 MOS 트랜지스터 N1 및 N1'에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL25의 공유는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N1과 N1'의 드레인-게이트 접점을 달성함과 동시에 N채널형 MOS 트랜지스터 N1 및 N1'의 점유 면적의 축소에 기여하고 있다.

또한, 도시하는 바와 같이 폴리실리콘 배선층 PL21과 폴리실리콘 배선층 PL11의 주축은 동일 직선 상에 위치하고 폴리실리콘 배선층 PL22와 폴리실리콘 배선층 PL11의 대향축도 동일 직선 상에 위치하고 있으므로, N채널형 MOS 트랜지스터 N1 및 N1'와 N채널형 MOS 트랜지스터 N3 및 N5의 배치 간격을 작게 할 수 있고, 제 1 P웰 영역 Pw1에 있어서 이들 4개의 N채널형 MOS 트랜지스터의 점유 면적의 축소가 실현되고 있다.

한편, 제 2 P웰 영역 Pw2에 있어서도 마찬가지로 폴리실리콘 배선층 PL31을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL31 및 FL32가 형성되는 것에 의해 폴리실리콘 배선층 PL31을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N6이 형성된다. 또한, 폴리실리콘 배선층 PL32를 사이에 두는 위치에 n+ 확산 영역 FL32 및 FL33이 형성되는 것에 의해 폴리실리콘 배선층 PL32를 게이트 전극으로 한 N채널형 MOS 트랜지스터 N4가 형성된다.

이들 N채널형 MOS 트랜지스터 N4 및 N6도 또한 폴리실리콘 배선층 PL31 및 PL32가 병렬 배치되어 있기 때문에 n+ 확산 영역 FL31~33을 제 2 웰 경계선과 평행한 방향으로 또한 동일 직선 상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL32를 N채널형 MOS 트랜지스터 N4 및 N6에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL32의 공유는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N4와 N6의 소스-게이트 접점을 달성함과 동시에 N채널형 MOS 트랜지스터 N4 및 N6의 점유 면적의 축소에 기여하고 있다.

또한, 제 2 P웰 영역 Pw2에는 폴리실리콘 배선층 PL12의 갈고리 단부의 주축을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL34 및 FL35가 형성된다. 이것에 의해, 폴리실리콘 배선층 PL12의 주축을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N2가 형성된다. 또한, 폴리실리콘 배선층 PL12의 갈고리 단부의 대향축을 사이에 두는 위치에 n+ 확산 영역 FL35 및 FL36이 형성되는 것에 의해 폴리실리콘 배선층 PL12의 대향축을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N2'이 형성된다. 즉, 폴리실리콘 배선층 PL12의 갈고리 단부는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N2와 N2'의 게이트-게이트 접점을 달성하고 있다.

이들 N채널형 MOS 트랜지스터 N2 및 N2'에 대해서도 상기한 N채널형 MOS 트랜지스터 N4 및 N6과 마찬가지로 폴리실리콘 배선층 PL12의 갈고리 단부의 주축과 대향이 병렬 배치되어 있기 때문에 n+ 확산 영역 FL34~36을 제 2 웰 경계선과 평행한 방향으로 또한 동일 직선 상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL35를 N채널형 MOS 트랜지스터 N2 및 N2'에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL35의 공유는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N2와 N2'의 드레인-게이트 접점을 달성함과 동시에 N채널형 MOS 트랜지스터 N2 및 N2'의 점유 면적의 축소에 기여하고 있다.

또한, 도시하는 바와 같이 폴리실리콘 배선층 PL31과 폴리실리콘 배선층 PL12의 주축은 동일 직선 상에 위치하고 폴리실리콘 배선층 PL32와 폴리실리콘 배선층 PL12의 대향축도 동일 직선 상에 위치하고 있으므로, N채널형 MOS 트랜지스터 N2 및 N2'와 N채널형 MOS 트랜지스터 N4 및 N6의 배치 간격을 작게 할 수 있어 제 2 P웰 영역 Pw2에 있어서 이들 4개의 N채널형 MOS 트랜지스터의 점유 면적의 축소가 실현되고 있다.

그리고, N웰 영역 Nw에서는 폴리실리콘 배선층 PL11의 주축을 사이에 두는 위치에 P형 불순물의 주입에 의해 p+ 확산 영역 FL11 및 FL12가 형성된다. 이것에 의해, 폴리실리콘 배선층 PL11을 게이트 전극으로 한 P채널형 MOS 트랜지스터 P10이 형성된다. 또한, 폴리실리콘 배선층 PL12의 주축을 사이에 두는 위치에 p+ 확산 영역 FL13 및 FL14가 형성되는 것에 의해 폴리실리콘 배선층 PL12를 게이트 전극으로 한 P채널형 MOS 트랜지스터 P2가 형성된다.

이들 P채널형 MOS 트랜지스터 P1 및 P2의 배치 위치는 폴리실리콘 배선층 PL11 및 PL12의 위치에 따라서 결정되지만, 이 폴리실리콘 배선층 PL11 및 PL12의 위치 간격은 도 2에 도시하는 바와 같이 p+ 확산 영역 FL12 및 FL13의 크기 정도(트랜지스터의 최소 피치)까지 좁힐 수 있다. 특히, 이들 p+ 확산 영역 FL12 및 FL13의 크기를 제 1 P웰 영역 Pw1의 n+ 확산 영역 FL22 및 FL25와 제 2 P웰 영역 Pw2의 n+ 확산 영역 FL32 및 FL35와 동일 정도로 하는 것에 의해, 이 메모리 셀의 레이아웃에 필요한 전체 점유 면적을 최소화

특 2001-0106233

로 할 수 있다.

이것은 동시에 폴리실리콘 배선층 PL21, PL11의 주축, PL12의 대칭축 및 PL32를 동일 직선 상에 배치하고 또한 폴리실리콘 배선층 PL22, PL12의 주축, PL11의 대칭축 및 PL31을 동일 직선 상에 배치할 수 있다는 것을 의미하고 있다.

또, 도 2에 도시하는 바와 같이 폴리실리콘 배선층 PL11, PL12, PL21, PL22, PL31 및 PL32와, p+ 확산 영역 FL11~14와, n+ 확산 영역 FL21~26 및 FL31~36에는 각각 1개씩 상층과의 전기적 접속을 달성하기 위한 컨택트 홀이 마련되고 있다.

다음에, 도 2에 도시한 레이더의 상층에 위치하는 레이더에 대해서 설명한다. 도 3은 도 2에 도시한 레이더 상에 형성되는 제 1 금속 배선층을 포함하는 레이더를 도시한 도면이다. 도 3에 도시하는 레이더에는 하층의 n+ 확산 영역 FL22 및 FL25와, p+ 확산 영역 FL12와, 폴리실리콘 배선층 PL12를 전기적으로 접속하기 위한 제 1 금속 배선층 AL11이 형성된다. 이 제 1 금속 배선층 AL11에 의해 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N3 및 N5의 소스와 N채널형 MOS 트랜지스터 N1 및 N1'의 드레인과, 제 1 CMOS 인버터의 출력 단자와, 제 2 CMOS 인버터의 입력 단자의 접속이 달성된다.

또한, 하층의 n+ 확산 영역 FL32 및 FL35와, p+ 확산 영역 FL13과, 폴리실리콘 배선층 PL11을 전기적으로 접속하기 위한 제 1 금속 배선층 AL12가 형성된다. 이 제 2 금속 배선층 AL12에 의해 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N4 및 N6의 소스와, N채널형 MOS 트랜지스터 N2 및 N2'의 드레인과, 제 2 CMOS 인버터의 출력 단자와, 제 1 CMOS 인버터의 입력 단자의 접속이 달성된다.

특히, 제 1 금속 배선층 AL11에 있어서, n+ 확산 영역 FL32 및 FL35와, p+ 확산 영역 FL13과의 접점부분은 상층한 바와 같이 동일 직선 상에 배치되어 있기 때문에, 그를 3점을 접속하는 배선의 형상을 직선 형상으로 할 수 있다. 또한, 제 1 금속 배선층 AL12에 대해서도 마찬가지이다.

또한, 도 3에 도시하는 레이더에는 하층의 p+ 확산 영역 FL11의 접속점을 이동시키기 위한 제 1 금속 배선층 AL15와 p+ 확산 영역 FL14의 접속점을 이동시키기 위한 제 1 금속 배선층 AL16이 형성되고, 하층의 n+ 확산 영역 FL23의 접속점을 이동시키기 위한 제 1 금속 배선층 AL17과 n+ 확산 영역 FL33의 접속점을 이동시키기 위한 제 1 금속 배선층 AL18이 형성된다.

다음에, 도 3에 도시한 레이더의 상층에 위치하는 레이더에 대해서 설명한다. 도 4는 도 3에 도시한 레이더 상에 형성되는 제 2 금속 배선층을 포함하는 레이더를 도시한 도면이다. 도 4에 도시하는 레이더에는 도 3에 도시한 제 1 금속 배선층 AL15를 경유하여 p+ 확산 영역 FL11에 전원 전위 VDD를 부여하고 또한 제 1 금속 배선층 AL16을 경유하여 p+ 확산 영역 FL14에 전원 전위 VDD를 부여하기 위한 제 2 금속 배선층 AL21이 형성된다. 즉, 이 제 2 금속 배선층 AL21은 전원 전위 VDD 라인으로서 기능하고, 도 1의 등가 회로에 있어서 P채널형 MOS 트랜지스터 P1의 소스와 전원의 접속 및 P채널형 MOS 트랜지스터 P2의 소스와 전원의 접속을 달성하는 것이다.

또한, 도 3에 도시한 컨택트 홀+제 1 비아홀을 경유하여 p+ 확산 영역 FL24 및 FL26과 p+ 확산 영역 FL34 및 FL36에 각각 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL22 및 AL23이 형성된다. 즉, 이들 제 2 금속 배선층 AL22 및 AL23은 접지 전위 GND 라인으로서 기능하고, 도 1의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N1, N1', N2 및 N2'의 각 소스의 접지를 달성하는 것이다.

특히, 도 2에 도시한 바와 같이, n+ 확산 영역 FL24 및 FL26은 제 1 웰 경계선과 평행한 직선 상에 배치되기 때문에, 그를 n+ 확산 영역상의 각 컨택트 홀도 또한 양 컨택트 홀을 연결하는 직선인 제 1 웰 경계선과 평행한 위치에 형성할 수 있다. 즉, 도 4에 도시하는 제 2 금속 배선층 AL22를 제 1 웰 경계선과 평행한 직선 형상으로 형성할 수 있게 된다. 제 2 금속 배선층 AL23에 대해서도 마찬가지이다.

또한, 도 4에 도시하는 레이더에는 도 3에 도시한 컨택트 홀+제 1 비아홀을 거쳐서 하층의 p+ 확산 영역 FL21에 접속되어 제 1 정상 비트선 BL00으로서 기능하는 제 2 금속 배선층 AL24와, p+ 확산 영역 FL26에 접속되어 제 2 정상 비트선 BL10으로서 기능하는 제 2 금속 배선층 AL25와, p+ 확산 영역 FL36에 접속되어 제 1 역상 비트선 BL01으로서 기능하는 제 2 금속 배선층 AL26과, p+ 확산 영역 FL31에 접속되어 제 2 역상 비트선 BL11으로서 기능하는 제 2 금속 배선층 AL27이 형성된다.

즉, 이들 제 2 금속 배선층 AL24~AL27은 도 1의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3의 반도체 단자의 다른 쪽(드레인)과 제 1 정상 비트선 BL00의 접속과, N채널형 MOS 트랜지스터 N5의 반도체 단자의 다른 쪽(드레인)과 제 2 정상 비트선 BL10의 접속과, N채널형 MOS 트랜지스터 N4의 반도체 단자의 다른 쪽(드레인)과 제 1 역상 비트선 BL01의 접속과, N채널형 MOS 트랜지스터 N6의 반도체 단자의 다른 쪽(드레인)과 제 2 역상 비트선 BL11의 접속을 달성하는 것이다.

특히, 이들 제 2 금속 배선층 AL24~AL27은 제 1 웰 경계선과 평행한 방향으로 연장하는 직선 형상으로 형성할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 정상 비트선 BL00, 제 2 정상 비트선 BL10, 제 1 역상 비트선 BL01 및 제 2 역상 비트선 BL11의 각 길이를 더욱 짧게 한 것을 의미한다.

다음에, 도 4에 도시한 레이더의 상층에 위치하는 레이더에 대해서 설명한다. 도 5는 도 4에 도시한 레이더 상에 형성되는 제 3 금속 배선층을 포함하는 레이더를 도시한 도면이다. 도 5에 도시하는 레이더에는 제 1 비아홀 및 제 2 비아홀을 경유하여 폴리실리콘 배선층 PL21과 PL32를 전기적으로 접속함과 동시에 제 1 워드선 W10으로서 기능하는 제 3 금속 배선층 AL31이 형성된다. 즉, 이 제 3 금속 배선층 AL31은 도 1의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3 및 N4의 게이트와 제 1 워드선 W10의 접속을 달성하는 것이다.

또한, 제 1 비아홀 및 제 2 비아홀을 경유하여 폴리실리콘 배선층 PL22와 PL31을 전기적으로 접속함과 동시에 제 2 워드선 W20으로서 기능하는 제 3 금속 배선층 AL32가 형성된다. 즉, 이 제 3 금속 배선층 AL32는 도 1의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N5 및 N6의 게이트와 제 2 워드선 W20의 접속을 달성하는 것이다.

특히, 도 2에 도시한 바와 같이, 폴리실리콘 배선층 PL21 및 PL32는 제 1 웰 경계선에 대해서 수직인 방

특 2001-0106233

향으로 연장하는 동일 직선 상에 배치되기 때문에, 그들 폴리실리콘 배선층상의 각 컨택트 홈 등도 또한 양 컨택트 홈 등을 연결하는 직선이 제 1 필 경계선에 대해서 수직으로 되는 위치에 형성할 수 있다. 즉, 도 50에 도시하는 제 3 금속 배선층 AL31을 제 1 필 경계선에 대해 수직인 방향으로 연장시키는 직선 형상으로 형성할 수 있게 된다. 제 3 금속 배선층 AL32에 대해서도 마찬가지이다. 이것은 1개의 메모리 셀내에 있어서 제 1 워드선 WL0 및 제 2 워드선 WL1의 각 길이를 더욱 짧게 한 것을 의미한다.

이상에서 설명한 바와 같이, 실시예 1에 따른 반도체 기억 장치에 의하면, 액세스 게이트로서 기능하는 N 채널형 MOS 트랜지스터 N3 및 N5(N4 및 N6)가 서로의 반도체 단자끼리의 접속점에 있어서 n+ 확산 영역 FL22(FL32)를 공유함과 동시에, 각 반도체 단자로 되는 n+ 확산 영역 FL21~23(FL31~33)이 제 1 필 경계선과 평행한 방향으로 일직선상에 배치되도록 형성되므로, N채널형 MOS 트랜지스터 N3 및 N5(N4 및 N6)의 정유 면적을 작게 할 수 있다. 이것에 의해, 메모리 셀 어레이의 집적도를 높일 수 있게 된다.

또한, 제 1 정상 비트선 BL00, 제 2 정상 비트선 BL10, 제 1 역상 비트선 BL01 및 제 2 역상 비트선 BL11로서 순서대로 기능하는 제 2 금속 배선층 AL24~AL2701 제 1 P웰 영역 PW1 및 제 2 P웰 영역 PW2와 N웰 영역 NW의 경계선과 평행하게 병렬 배치되도록 형성되는 것에 의해, 이들 비트선의 길이를 더욱 짧게 할 수 있으므로 비트선의 배선 용량을 저감할 수 있고, 이것에 의해 고속인 액세스가 가능해진다.

또한, 제 1 워드선 WL0 및 제 2 워드선 WL1로서 순서대로 기능하는 제 3 금속 배선층 AL31 및 AL32가 제 1 P웰 영역 PW1 및 제 2 P웰 영역 PW2와 N웰 영역 NW의 경계선과 직교하도록 형성되는 것에 의해, 이들 워드선의 길이를 더욱 짧게 할 수 있으므로 워드선의 배선 용량도 저감할 수 있고, 이것에 의해 고속인 액세스가 가능해진다.

또한, N채널형 MOS 트랜지스터 N1 및 N2(N1' 및 N2')는 2개의 P웰 영역으로 분할되기 때문에 각 트랜지스터의 폭을 크게 할 수 있고, 이것에 의해 비트선의 폐쇄(인출)가 빨라져 더욱 고속인 액세스가 가능해진다.

또한, 구동트랜지스터로서 기능하는 드라이버 트랜지스터 N1과 N1'(또는 N2와 N2')를 병렬로 형성하는 것에 의해 트랜지스터의 폭 W를 크게 취할 수 있고, 이것에 의해 비트선의 폐쇄 속도가 빨라져 결과적으로 판독 액세스의 고속화를 도모할 수 있게 된다.

또한, 상기한 분할에 의해, 액세스 게이트로서 기능하는 N채널형 MOS 트랜지스터 N3 및 N6와 구동트랜지스터로서 기능하는 N채널형 MOS 트랜지스터 N1 및 N1'의 트랜지스터 비율 크게 취할 수 있으므로, 셀의 안정성을 향상시킬 수 있다. N채널형 MOS 트랜지스터 N4 및 N6와 N채널형 MOS 트랜지스터 N2 및 N2'에 대해서도 마찬가지이다.

또한, 기억 노드 NA 및 NB를 형성하는 드레인 영역을 공통의 n+ 확산 영역으로 하고 있으므로 그 면적을 작게 할 수 있고, 기생 용량이 저감되어 결과적으로 기록시의 액세스의 고속화를 도모할 수 있다.

또한, 폴리실리콘 배선층을 형성할 수 있으므로, 반도체 제조 공정에 있어서 레이아웃 패턴 형성시의 마스크 어긋남 등에 의한 프로세스 마진을 크게 취할 수 있다.

(실시예 2)

다음에, 실시예 2에 따른 반도체 기억 장치에 대하여 설명한다. 도 7은 실시예 2에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도이다. 상기한 도 2에 대응한다.

도 7에 도시하는 바와 같이, 실시예 2에 따른 반도체 기억 장치는 P웰 영역 PW1에 있어서, N채널형 MOS 트랜지스터 N3 및 N5의 각 드레인 확산 영역과 N채널형 MOS 트랜지스터 N1 및 N1'의 각 드레인 확산 영역을 공통의 n+ 확산 영역 FL41에 의해 형성하고, P웰 영역 PW2에 있어서 N채널형 MOS 트랜지스터 N4 및 N6의 각 드레인 확산 영역과 N채널형 MOS 트랜지스터 N2 및 N2'의 각 드레인 확산 영역을 공통의 n+ 확산 영역 FL42에 의해 형성한 것을 특징으로 하고 있다.

또한, 이에 따라, 도 2에 도시한 폴리실리콘 배선층 PL11 및 PL12 대신에 도 7에 도시하는 바와 같은 형상의 폴리실리콘 배선층 PL51 및 PL52가 형성되어 있다. 다른 상층의 금속 배선 등의 레이아웃은 도 3~50에 도시한 것과 마찬가지이므로 여기서는 그들의 설명을 생략한다.

이상에서 설명한 바와 같이, 실시예 2에 따른 반도체 기억 장치에 의하면, 상기한 바와 같은 공통의 n+ 확산 영역의 형성에 의해서도 실시예 1에 의한 효과를 얻을 수 있다.

또, 이상에서 설명한 실시예 1 및 2에 있어서, N채널형 MOS 트랜지스터 N1' 및 N2'는 생략할 수도 있다.

(실시예 3)

다음에, 실시예 3에 따른 반도체 기억 장치에 대하여 설명한다. 실시예 3은 2포트 SRAM 셀을 구성하는 다른 등가 회로에 대한 레이아웃구성에 대해서 설명하는 것이다. 도 8은 실시예 3에 따른 반도체 기억 장치의 등가 회로도 도시한 도면이다. 도 8에 있어서, P채널형 MOS 트랜지스터 P1과 N채널형 MOS 트랜지스터 N1은 제 1 CMOS 인버터를 구성하고, P채널형 MOS 트랜지스터 P2와 N채널형 MOS 트랜지스터 N2는 제 2 CMOS 인버터를 구성하고 있고, 이들 CMOS 인버터사이에서 입력력 단자가 교차 접속되어 있다.

즉, 이들 MOS 트랜지스터 P1, P2, N1 및 N2에 의해서 클램프를 회로가 구성되고, 도 8 중, 상기한 제 1 CMOS 인버터의 출력점이고 또한 제 2 CMOS 인버터의 입력점이기도 한 기억 노드 NA와 제 2 CMOS 인버터의 출력점이고 또한 제 1 CMOS 인버터의 입력점이기도 한 기억 노드 NB에 있어서 논리상태의 기록 및 판독이 가능해진다.

또한, N채널형 MOS 트랜지스터 N3' 및 N4는 각각 액세스 게이트로서 기능하고, N채널형 MOS 트랜지스터 N3은 게이트를 제 1 워드선 WL0에 접속하고 소스를 상기 한 기억 노드 NA에 접속함과 동시에 드레인을 제 1

록 2001-0106233

정상 비트선 WBL10에 접속하고 있다. 또한, N채널형 MOS 트랜지스터 N4는 게이트를 상기 제 1 워드선 WBL에 접속하고 소스를 기어 노드 MA에 접속함과 동시에 게이트를 역상 비트선 WBL20에 접속하고 있다.

또한, 기어 노드 MA에는 N채널형 MOS 트랜지스터 N8의 게이트가 접속되어 있고, N채널형 MOS 트랜지스터 N8의 소스는 접지되어 있다. 또한, N채널형 MOS 트랜지스터 N8의 드레인에는 N채널형 MOS 트랜지스터 N9의 소스에 접속되고, N채널형 MOS 트랜지스터 N9는 게이트를 제 2 워드선 WBL에 접속하고 드레인을 제 2 정상 비트선 RBL에 접속하고 있다.

즉, 워드선 WBL, 제 1 정상 비트선 WBL1 및 역상 비트선 WBL2의 선택에 의해 제 1 포트에 의한 기어값의 판독 및 기록을 가능하게 하고, 제 2 워드선 WBL 및 제 2 정상 비트선 RBL의 선택에 의해 제 2 포트에 의한 기어값의 판독을 가능하게 하고 있다. 특히, 이 제 2 포트에 의한 판독 동작은 메모리 셀의 기어 노드 MA 및 MB의 데이터를 파괴하는 일없이 제 1 포트와 완전히 독립해서 동작할 수 있다는 특징을 갖고 있다.

여기서, 도 8에 도시한 등과 회로 자체는 종래의 2포트 SRAM 셀의 회로로서 기어의 구성이지만, 실시예 3에 따른 반도체 기어 장치에서는 그의 구조에 특징이 있다. 도 9~도 12는 실시예 3에 따른 반도체 기어 장치의 메모리 셀의 레이아웃도이다. 또한, 도면중, 컨택트 홀이나 비아홀 등의 각종 기어는 도 6에 도시한 바와 같다.

우선, 도 9는 반도체 기판 중에 형성된 웰 영역과, 그 웰 영역에 형성된 확산 영역과, 그들의 상면에 형성된 폴리실리콘 배선층을 포함하는 레이아웃 도면이다.

실시예 3에 따른 반도체 기어 장치의 메모리 셀에서는 도 9에 도시하는 바와 같이 실시예 1과 마찬가지로 반도체 기판상의 평면방향에 있어서 N웰 영역 NW를 사이에 두고 제 1 P웰 영역 PW1과 제 2 P웰 영역 PW2가 배치되고, 또한 그들 웰 영역은 상기 제 1 웰 경계선과 상기 제 2 웰 경계선이 평행하게 되도록 형성되어 있다. 또한, 도시하고 있지 않지만, N웰 영역 NW와 제 1 P웰 영역 PW1 사이 및 N웰 영역 NW와 제 2 P웰 영역 PW2 사이에 각각 분리벽이 존재한다.

도 9에 있어서, 제 1 P웰 영역 PW1에는 도 8에 도시한 N채널형 MOS 트랜지스터 N1 및 N30이 형성되고, N웰 영역 NW에는 도 8에 도시한 P채널형 MOS 트랜지스터 P1 및 P2가 형성되고, 제 2 P웰 영역 PW2에는 도 8에 도시한 N채널형 MOS 트랜지스터 N2, N4, N8 및 N9가 형성된다.

이하에, 도 9~도 12에 도시한 각 레이아웃의 구조에 대해서 순서대로 설명한다. 우선, 도 9에 도시하는 레이아웃에 있어서 제 1 P웰 영역 PW1에 상기한 제 1 웰 경계선에 대해서 수직인 방향으로 연장해서 병렬 배치된 폴리실리콘 배선층 PL21이 형성된다.

또한, 제 1 P웰 영역 PW1로부터 N웰 영역 NW에 걸쳐서 제 1 웰 경계선에 대해서 수직인 방향으로 일직선으로 연장한 폴리실리콘 배선층 PL11이 형성된다. 또, 폴리실리콘 배선층 PL11의 한쪽 단부는 도 9에 도시하는 바와 같이 제 2 웰 경계선상에 위치한다.

그리고, 제 1 P웰 영역 PW1에 있어서 폴리실리콘 배선층 PL21을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL22 및 FL23이 형성된다. 이것에 의해, 폴리실리콘 배선층 PL21을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N30이 형성된다. 또한, 폴리실리콘 배선층 PL11을 사이에 두는 위치에 n+ 확산 영역 FL21 및 FL22가 형성된다. 이것에 의해, 폴리실리콘 배선층 PL11을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N1이 형성된다.

특히, 이들 N채널형 MOS 트랜지스터 N1 및 N30은 폴리실리콘 배선층 PL11 및 PL21이 병렬 배치되어 있기 때문에, n+ 확산 영역 FL21~23을 제 1 웰 경계선과 평행한 방향으로 또한 일직선상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL22를 N채널형 MOS 트랜지스터 N1 및 N30에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL22의 공유는 도 8의 등과 회로에 따르면 N채널형 MOS 트랜지스터 N1의 드레인과 N채널형 MOS 트랜지스터 N30의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N1 및 N30의 점유 면적의 축소화에 기여하고 있다.

한편, 제 2 P웰 영역 PW2에는 상기한 제 2 웰 경계선에 대해서 수직인 방향으로 연장해서 일직선상에 병렬 배치된 2개의 폴리실리콘 배선층 PL31 및 PL33이 형성된다. 또한, 제 2 P웰 영역 PW2로부터 N웰 영역 NW에 걸쳐서 제 2 웰 경계선에 대해서 수직인 방향으로 일직선으로 연장한 폴리실리콘 배선층 PL12가 형성된다. 또, 폴리실리콘 배선층 PL12의 한쪽 단부는 도 9에 도시하는 바와 같이 제 1 웰 경계선상에 위치한다.

그리고, 폴리실리콘 배선층 PL33을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL36 및 FL35가 형성되는 것에 의해서, 폴리실리콘 배선층 PL33을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N4가 형성된다. 또한, 폴리실리콘 배선층 PL12를 사이에 두는 위치에 n+ 확산 영역 FL34 및 FL35가 형성되는 것에 의해서, 폴리실리콘 배선층 PL12를 게이트 전극으로 한 N채널형 MOS 트랜지스터 N2가 형성된다.

이들 N채널형 MOS 트랜지스터 N2 및 N4는 폴리실리콘 배선층 PL33 및 PL12가 병렬 배치되어 있기 때문에 n+ 확산 영역 FL34~36을 제 2 웰 경계선과 평행한 방향으로 또한 동일 직선 상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL35를 N채널형 MOS 트랜지스터 N2 및 N4에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL35의 공유는 도 8의 등과 회로에 따라서 N채널형 MOS 트랜지스터 N2의 드레인과 N채널형 MOS 트랜지스터 N4의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N2 및 N4의 점유 면적의 축소화에 기여하고 있다.

도 9에 있어서 또 폴리실리콘 배선층 PL31을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL33 및 FL32가 형성되는 것에 의해서, 폴리실리콘 배선층 PL31을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N9가 형성된다. 또한, 폴리실리콘 배선층 PL12를 사이에 두는 위치에 n+ 확산 영역 FL32 및 FL31이 형성되는 것에 의해서, 폴리실리콘 배선층 PL12를 게이트 전극으로 한 N채널형 MOS 트랜지스터 N8이 형성된다.

이들 N채널형 MOS 트랜지스터 N8 및 N9는 폴리실리콘 배선층 PL31 및 PL12가 병렬 배치되어 있기 때문에

특 2001-0106233

n^+ 확산 영역 FL31~33을 제 2 웰 경계선과 평행한 방향으로 또한 동일 직선 상에 배치할 수 있고, 이것에 의해 n^+ 확산 영역 FL32를 N채널형 MOS 트랜지스터 N8 및 N9에 있어서 공유하는 것이 가능해지고 있다. 이 n^+ 확산 영역 FL32의 공유는 도 8의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N8의 드레인과 N채널형 MOS 트랜지스터 N9의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N8 및 N9의 접지 면적의 축소화에 기여하고 있다.

그리고, N웰 영역 NW에 있어서는 폴리실리콘 배선을 PL11을 사이에 두는 위치에 P형 불순물의 주입에 의해 p^+ 확산 영역 FL11 및 FL12가 형성된다. 이것에 의해, 폴리실리콘 배선을 PL11을 게이트 전극으로 한 P채널형 MOS 트랜지스터 P1이 형성된다. 또한, 폴리실리콘 배선을 PL12를 사이에 두는 위치에 p^+ 확산 영역 FL13 및 FL14가 형성되는 것에 의해서, 폴리실리콘 배선을 PL12를 게이트 전극으로 한 P채널형 MOS 트랜지스터 P2가 형성된다.

이들 P채널형 MOS 트랜지스터 P1 및 P2의 배치 위치는 폴리실리콘 배선을 PL11 및 PL12의 위치에 따라서 결정되지만, 이 폴리실리콘 배선을 PL11 및 PL12의 위치간격은 도 9에 도시하는 바와 같이 실시예 1과 마찬가지로 p^+ 확산 영역 FL12 및 FL13의 크기 정도(트랜지스터의 최소 피치)까지 좁힐 수 있다. 특히, 이들 p^+ 확산 영역 FL12 및 FL13의 크기를 제 1 P웰 영역 PW1의 n^+ 확산 영역 FL22 및 제 2 P웰 영역 PW2의 n^+ 확산 영역 FL32, FL35와 동일 정도로 하는 것에 의해, 이 메모리 셀의 레이아웃에 필요한 전체 점유 면적을 최소화 할 수 있다.

이것은 동시에 폴리실리콘 배선을 PL11, PL33 및 PL31을 동일 직선 상에 배치하고 또한 폴리실리콘 배선을 PL21 및 PL12를 동일 직선 상에 배치할 수 있다는 것을 의미하고 있다.

또, 도 9에 도시하는 바와 같이 폴리실리콘 배선을 PL11, PL12, PL21, PL31 및 PL33과, p^+ 확산 영역 FL11~14와, n^+ 확산 영역 FL22~23, FL33~36에는 각각 1개의 컨택트 홀이, 그리고 n^+ 확산 영역 FL31에는 2개의 컨택트 홀이 상층과의 전기적 접속을 달성하기 위해 마련되어 있다.

다음에, 도 9에 도시한 레이아웃의 상층에 위치하는 레이아웃에 대해서 설명한다. 도 10은 도 9에 도시한 레이아웃상에 형성되는 제 1 금속 배선을 포함하는 레이아웃을 도시한 도면이다. 도 10에 도시하는 레이아웃에는 하층의 n^+ 확산 영역 FL22와, p^+ 확산 영역 FL12와, 폴리실리콘 배선을 PL12를 전기적으로 접속하기 위한 제 1 금속 배선층 AL11이 형성된다. 도 8의 등가 회로에 따르면, 이 제 1 금속 배선층 AL11에 의해 N채널형 MOS 트랜지스터 N1의 드레인 및 N채널형 MOS 트랜지스터 N3의 소스와, P채널형 MOS 트랜지스터 P1의 드레인과, 제 2 CMOS 인버터의 입력 단자의 접속이 달성된다.

또한, 하층의 n^+ 확산 영역 FL35와, p^+ 확산 영역 FL13과, 폴리실리콘 배선을 PL11을 전기적으로 접속하기 위한 제 1 금속 배선층 AL12가 형성된다. 이 제 2 금속 배선층 AL12에 의해 도 8의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N2의 드레인 및 N채널형 MOS 트랜지스터 N4의 소스와, P채널형 MOS 트랜지스터 P2의 드레인과, 제 1 CMOS 인버터의 입력 단자의 접속이 달성된다.

특히, 제 1 금속 배선층 AL11에 있어서, n^+ 확산 영역 FL22와 p^+ 확산 영역 FL12의 접점부분은 상층의 바와 같이 동일 직선 상에 배치되어 있으므로, 그들 2점을 접속하는 배선의 형상을 직선 형상으로 할 수 있다. 제 1 금속 배선층 AL12에 대해서도 마찬가지이다.

또한, 도 10에 도시하는 레이아웃에는 하층의 p^+ 확산 영역 FL11의 접속점을 이동시키기 위한 제 1 금속 배선층 AL15와 p^+ 확산 영역 FL14의 접속점을 이동시키기 위한 제 1 금속 배선층 AL16이 형성되고, 하층의 폴리실리콘 배선을 PL21의 접속점을 이동시키기 위한 제 1 금속 배선층 AL13과, 폴리실리콘 배선을 PL31의 접속점을 이동시키기 위한 제 1 금속 배선층 AL14와, 폴리실리콘 배선을 PL33의 접속점을 이동시키기 위한 제 1 금속 배선층 AL19가 형성된다.

또한, 동일 레이아웃에는 하층의 p^+ 확산 영역 FL34 및 FL31을 전기적으로 접속함과 동시에 상층과의 접속점을 이동시키기 위한 제 1 금속 배선층 AL18이 형성된다. 도 8의 등가 회로에 따르면, 이 제 1 금속 배선층 AL18에 의해 N채널형 MOS 트랜지스터 N2 및 N8의 소스끼리의 접속이 달성된다.

특히, 도 9에 도시하는 바와 같이 n^+ 확산 영역 FL34 및 FL31은 제 2 웰 경계선과 수직인 방향의 동일 직선 상에 배치되기 때문에, 그들 n^+ 확산 영역상의 각 컨택트 홀도 또한 그들 컨택트 홀을 연결하는 직선 이 제 2 웰 경계선과 수직인 동일 직선 상에 형성할 수 있다. 즉, 도 10에 도시하는 제 2 금속 배선층 AL18을 제 2 웰 경계선과 수직인 직선 형상으로 형성할 수 있게 된다.

다음에, 도 10에 도시한 레이아웃의 상층에 위치하는 레이아웃에 대해서 설명한다. 도 11은 도 10에 도시한 레이아웃상에 형성되는 제 2 금속 배선층을 포함하는 레이아웃을 도시한 도면이다. 도 11에 도시하는 레이아웃에는 도 10에 도시한 제 1 금속 배선층 AL15를 경유하여 p^+ 확산 영역 FL11에 전원 전위 VDD를 부여하고 또한 제 1 금속 배선층 AL16을 경유하여 p^+ 확산 영역 FL14에 전원 전위 VDD를 부여하기 위한 제 2 금속 배선층 AL21이 형성된다. 즉, 이 제 2 금속 배선층 AL21은 전원 전위 VDD 라인으로서 기능하고, 도 8의 등가 회로에 있어서 P채널형 MOS 트랜지스터 P1의 소스와 전원의 접속 및 P채널형 MOS 트랜지스터 P2의 소스와 전원의 접속을 달성하는 것이다.

또한, 도 10에 도시한 제 1 금속 배선층 AL17을 경유하여 p^+ 확산 영역 FL21에 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL22와 제 1 금속 배선층 AL18을 경유하여 p^+ 확산 영역 FL31 및 FL34에 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL23이 형성된다. 즉, 이들 제 2 금속 배선층 AL22 및 AL23은 접지 전위 GND 라인으로서 기능하고, 도 8의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N1, N2 및 N8의 각 소스의 접지를 달성하는 것이다.

또한, 도 11에 도시하는 레이아웃에는 도 10에 도시한 컨택트 홀+제 1 비아홀을 거쳐서 하층의 p^+ 확산 영역 FL23에 접속되어 제 1 정상 비트선 RBL로서 기능하는 제 2 금속 배선층 AL24와, p^+ 확산 영역 FL36에 접속되어 역상 비트선 RBL로서 기능하는 제 2 금속 배선층 AL25와, p^+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL로서 기능하는 제 2 금속 배선층 AL26이 형성된다.

즉, 이들 제 2 금속 배선층 AL24~AL26은 도 8의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3의 반도

특 2001-0106233

채 단자의 다른 쪽(드레인)과 제 1 정상 비트선 $\overline{RBL1}$ 의 접속과, N채널형 MOS 트랜지스터 N4의 반도체 단자의 다른 쪽(드레인)과 역상 비트선 $\overline{RBL2}$ 의 접속과, N채널형 MOS 트랜지스터 N9의 반도체 단자의 다른 쪽(드레인)과 제 2 정상 비트선 \overline{RBL} 의 접속을 달성하는 것이다.

특히, 이들 제 2 금속 배선층 AL24~26은 제 1 웰 경계선과 평행한 방향으로 연장하는 직선 형상으로 형성할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 정상 비트선 $\overline{RBL1}$, 역상 비트선 $\overline{RBL2}$ 및 제 2 정상 비트선 \overline{RBL} 의 각 길이를 더욱 짧게 한 것을 의미한다.

또한, 도 11에 도시하는 레이아웃에 하층의 제 1 금속 배선층 AL13과 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL27과, 하층의 제 1 금속 배선층 AL19와 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL28과, 하층의 제 1 금속 배선층 AL14와 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL29가 형성된다.

다음에, 도 11에 도시한 레이아웃의 상층에 위치하는 레이아웃에 대해서 설명한다. 도 12는 도 11에 도시한 레이아웃상에 형성되는 제 3 금속 배선층을 포함하는 레이아웃을 도시한 도면이다. 도 12에 도시하는 레이아웃에는 제 1 금속 배선층 AL13 및 제 2 금속 배선층 AL27을 공유하여 폴리실리콘 배선층 PL21과 PL33을 전기적으로 접속함과 동시에 워드선 \overline{RWL} 로서 기능하는 제 3 금속 배선층 AL31이 형성된다. 즉, 이 제 3 금속 배선층 AL31은 도 8의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3 및 N4의 게이트와 워드선 \overline{RWL} 의 접속을 달성하는 것이다.

또한, 제 1 금속 배선층 AL14 및 제 2 금속 배선층 AL29를 공유하여 폴리실리콘 배선층 PL31과 전기적으로 접속함과 동시에, 워드선 \overline{RWL} 로서 기능하는 제 3 금속 배선층 AL32가 형성된다. 즉, 이 제 3 금속 배선층 AL32는 도 8의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N6의 게이트와 워드선 \overline{RWL} 의 접속을 달성하는 것이다.

특히, 도 12에 도시한 바와 같이, 제 2 금속 배선층 AL27 및 AL28의 위치 관계에 따라, 양 금속 배선층 사이를 제 1 웰 경계선에 대해서 수직인 방향으로 연장하는 직선 형상의 금속 배선층에 의해 접속할 수 있다. 즉, 도 12에 도시하는 제 3 금속 배선층 AL31을 제 1 웰 경계선과 수직인 방향으로 연장하는 직선 형상으로 형성할 수 있게 된다. 한편, 제 3 금속 배선층 AL32는 하층과의 접속이 제 2 금속 배선층 AL29 뿐이므로, 제 3 금속 배선층 AL31과 평행하게 연장해서 배치할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 워드선 \overline{RWL} 및 제 2 워드선 \overline{RWL} 의 각 길이를 더욱 짧게 한 것을 의미한다.

이상에서 설명한 바와 같이, 실시예 3에 따른 반도체 기억 장치에 의하면, 액세스 게이트로서 기능하는 N채널형 MOS 트랜지스터 N3과 클립층을 회로를 구성하는 N채널형 MOS 트랜지스터 N10 한쪽의 반도체 단자 피리의 접속점에 있어서 n^+ 확산 영역 FL22를 공유함과 동시에, 각 반도체 단자로 되는 n^+ 확산 영역 FL21~23이 제 1 웰 경계선과 평행한 방향으로 일직선상에 배치되도록 형성되므로, N채널형 MOS 트랜지스터 N1 및 N3의 점유 면적을 작게 할 수 있다. 이것에 의해, 메모리 셀 어레이의 집적도를 높일 수 있게 된다.

또한, 제 1 정상 비트선 $\overline{RBL1}$, 역상 비트선 $\overline{RBL2}$, 제 1 정상 비트선 $\overline{RBL2}$ 로서 순서대로 기능하는 제 2 금속 배선층 AL24~26이 제 1 및 제 2 웰 경계선과 평행하게 병렬 배치되도록 형성되는 것에 의해 이들 비트선의 길이를 더욱 짧게 할 수 있으므로, 비트선의 배선 용량을 저감하는 할 수 있고, 이것에 의해 고속인 액세스가 가능해진다. 특히, 이들 비트선은 상기 배치에 의해 트랜지스터의 최소 피치의 2배의 길이까지 좁힐 수 있다.

또한, 제 1 워드선 \overline{RWL} 및 제 2 워드선 \overline{RWL} 로서 순서대로 기능하는 제 3 금속 배선층 AL31 및 AL32가 제 1 및 제 2 웰 경계선과 직교하도록 형성되는 것에 의해 이들 워드선의 길이를 더욱 짧게 할 수 있으므로, 워드선의 배선 용량도 저감할 수 있고, 이것에 의해 고속인 액세스가 가능해진다.

또한, 기억 노드 NA 및 NB를 형성하는 드레인 영역을 공통의 n^+ 확산 영역으로 하고 있으므로 그의 면적을 작게 할 수 있고, 기생 용량이 저감되어 결과적으로 기록시의 액세스의 고속화를 도모할 수 있다.

또한, 폴리실리콘 배선층을 일직선에 형성할 수 있으므로, 반도체 제조 공정에 있어서 레이아웃 패턴 형성시의 마스크 어긋남 등에 의한 프로세스 마진을 크게 취할 수 있다.

(실시예 4)

다음에, 실시예 4에 따른 반도체 기억 장치에 대해서 설명한다. 실시예 4는 3포트 SRAM 셀을 구성하는 다른 등가 회로에 대한 레이아웃 구성에 대해서 설명하는 것이다. 도 13은 실시예 4에 따른 반도체 기억 장치의 등가 회로를 도시하는 도면이다. 또, 도 13에 있어서, 제 1 워드선 \overline{RWL} 과, 제 1 정상 비트선 $\overline{RBL1}$ 과, 제 1 역상 비트선 $\overline{RBL2}$ 와, P채널형 MOS 트랜지스터 P1 및 P2와, N채널형 MOS 트랜지스터 N1~N4로 이루어지는 구성은 도 8에 도시한 것과 마찬가지로, 여기서는 그 설명을 생략한다.

도 13에서는 상기 구성에 부가해서 기억 노드 NA에 N채널형 MOS 트랜지스터 N8의 게이트가 접속되어 있고, 그 N채널형 MOS 트랜지스터 N8의 소스는 접지되어 있다. 또한, N채널형 MOS 트랜지스터 N8의 드레인 N채널형 MOS 트랜지스터 N9의 소스에 접속되고, N채널형 MOS 트랜지스터 N9는 게이트를 제 2 워드선 $\overline{RWL2}$ 에 접속하고 드레인을 제 2 정상 비트선 $\overline{RBL1}$ 에 접속하고 있다.

또한, 기억 노드 NB에 N채널형 MOS 트랜지스터 N10의 게이트가 접속되어 있고, 그 N채널형 MOS 트랜지스터 N10의 소스는 접지되어 있다. 또한, N채널형 MOS 트랜지스터 N10의 드레인은 N채널형 MOS 트랜지스터 N11의 소스에 접속되고, N채널형 MOS 트랜지스터 N11은 게이트를 제 3 워드선 $\overline{RWL2}$ 에 접속하고 드레인을 제 2 역상 비트선 $\overline{RBL2}$ 에 접속하고 있다.

즉, 워드선 \overline{RWL} , 제 1 정상 비트선 $\overline{RBL1}$ 및 역상 비트선 $\overline{RBL2}$ 의 선택에 의해 제 1 포트에 의한 기억값의 판독 및 기록을 가능하게 하고, 제 2 워드선 $\overline{RWL1}$ 및 제 2 정상 비트선 $\overline{RBL1}$ 의 선택에 의해 제 2 포트에 의한 기억값의 판독을 가능하게 하고 있다. 또한, 제 3 워드선 $\overline{RWL2}$ 및 제 2 역상 비트선 $\overline{RBL2}$ 의 선택에 의해 제 3 포트에 의한 기억값의 판독을 가능하게 하고 있다. 특히, 이들 제 2 및 제 3 포트에 의한 판독 동작은 메모리 셀의 기억 노드 NA 및 NB의 데이터를 파괴하는 일없이 제 1 포트와 완전히 독립해서 동작

특 2001-0106233

할 수 있다는 특징을 갖고 있다.

여기서, 도 13에 도시한 등과 회로 자체는 종래의 3포트 SRAM 셀의 회로로서 기지의 구성이지만, 실시예 4에 따른 반도체 기의 장치에서는 그의 구조에 특징이 있다. 도 14~도 17은 실시예 4에 따른 반도체 기의 장치의 메모리 셀의 레이아웃도이다. 또, 도면중 컨택트 홀이나 비아홀 등의 각종 기호는 도 6에 도시한 것과 마찬가지로 한다.

우선, 도 14는 반도체 기판 중에 형성된 웰 영역과, 그 웰 영역에 형성된 확산 영역과, 그들의 상면에 형성된 폴리실리콘 배선층을 포함하는 레이아웃 도면이다.

실시예 4에 따른 반도체 기의 장치의 메모리 셀에서도 도 14에 도시하는 바와 같이 실시예 1과 마찬가지로 반도체 기판 상의 평면방향에 있어서 N웰 영역 NW와 제 1 P웰 영역 PW1과 제 2 P웰 영역 PW2가 배치되고, 또한 그들 웰 영역은 상기 제 1 웰 경계선과 상기 제 2 웰 경계선이 평행하게 되도록 형성되어 있다. 또한, 도시하지 않고 있지만, N웰 영역 NW와 제 1 P웰 영역 PW1 사이 및 N웰 영역 NW와 제 2 P웰 영역 PW2 사이에 각각 분리영역이 존재한다.

도 14에 있어서, 제 1 P웰 영역 PW1에는 도 13에 도시한 N채널형 MOS 트랜지스터 N1, N3, N10 및 N11이 형성되고, N웰 영역 NW에는 P채널형 MOS 트랜지스터 P1 및 P2가 형성되고, 제 2 P웰 영역 PW2에는 N채널형 MOS 트랜지스터 N2, N4, N6 및 N9가 형성된다.

이하에 도 14~도 17에 도시한 각 레이아웃의 구조에 대해서 순서대로 설명한다. 우선, 도 14에 도시하는 레이아웃에 있어서 제 1 P웰 영역 PW1에 상기한 제 1 웰 경계선에 대해서 수직인 방향으로 연장해서 일직선 상에 병렬 배치된 폴리실리콘 배선층 PL21 및 PL22가 형성된다.

또한, 제 1 P웰 영역 PW1로부터 N웰 영역 NW에 걸쳐서 제 1 웰 경계선에 대해서 수직인 방향으로 일직선으로 연장한 폴리실리콘 배선층 PL11이 형성된다. 또, 폴리실리콘 배선층 PL11의 한쪽 단부는 도 14에 도시하는 바와 같이 제 2 웰 경계선 상에 위치한다.

그리고, 폴리실리콘 배선층 PL21을 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL22 및 FL23이 형성되는 것에 의해서, 폴리실리콘 배선층 PL21을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N3이 형성된다. 또한, 폴리실리콘 배선층 PL11을 사이에 두는 위치에 n+ 확산 영역 FL21 및 FL22가 형성되는 것에 의해서, 폴리실리콘 배선층 PL11을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N1이 형성된다.

특히, 이들 N채널형 MOS 트랜지스터 N1 및 N3은 폴리실리콘 배선층 PL11 및 PL21이 병렬 배치되어 있기 때문에 n+ 확산 영역 FL21~23을 제 1 웰 경계선과 평행한 방향으로 또한 일직선 상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL22를 N채널형 MOS 트랜지스터 N1 및 N3에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL22의 공유는 도 13의 등과 회로에 따르면 N채널형 MOS 트랜지스터 N1의 드레인과 N채널형 MOS 트랜지스터 N3의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N1 및 N3의 점유 면적의 축소화에 기여하고 있다.

도 14에 있어서는 또한 폴리실리콘 배선층 PL22를 사이에 두는 위치에 N형 불순물의 주입에 의해 n+ 확산 영역 FL25 및 FL26이 형성되는 것에 의해서, 폴리실리콘 배선층 PL22를 게이트 전극으로 한 N채널형 MOS 트랜지스터 N10이 형성된다. 또한, 폴리실리콘 배선층 PL11을 사이에 두는 위치에 n+ 확산 영역 FL24 및 FL25가 형성되는 것에 의해서, 폴리실리콘 배선층 PL11을 게이트 전극으로 한 N채널형 MOS 트랜지스터 N10이 형성된다.

이들 N채널형 MOS 트랜지스터 N10 및 N11은 폴리실리콘 배선층 PL22 및 PL11이 병렬 배치되어 있기 때문에 n+ 확산 영역 FL24~26을 제 1 웰 경계선과 평행한 방향으로 또한 동일 직선 상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL25를 N채널형 MOS 트랜지스터 N10 및 N11에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL25의 공유는 도 13의 등과 회로에 따르면 N채널형 MOS 트랜지스터 N10의 드레인과 N채널형 MOS 트랜지스터 N11의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N10 및 N11의 점유 면적의 축소화에 기여하고 있다.

한편, 제 2 P웰 영역 PW2 및 N웰 영역 NW에 있어서의 확산 영역 및 폴리실리콘 배선층의 형성은 실시예 3에 있어서 도 9의 설명에서 예시한 것과 마찬가지로 하며, 여기서는 그들의 설명을 생략한다.

따라서, 도 14에 도시하는 바와 같이 폴리실리콘 배선층 PL11, PL33 및 PL31이 동일 직선 상에 배치되고 또한 폴리실리콘 배선층 PL21, PL22 및 PL12가 동일 직선 상에 배치된다.

또, 도 14에 도시하는 바와 같이 폴리실리콘 배선층 PL11, PL12, PL21, PL22, PL31 및 PL33과, p+ 확산 영역 FL11~14와, n+ 확산 영역 FL21~23, FL26, FL33~36에는 각각 1개의 컨택트 홀이, 그리고 n+ 확산 영역 FL24 및 FL31에는 2개의 컨택트 홀이 상층과의 전기적 접속을 달성하기 위해서 마련되어 있다.

다음에, 도 14에 도시한 레이아웃의 상층에 위치하는 레이아웃에 대해서 설명한다. 도 15는 도 14에 도시한 레이아웃 상에 형성되는 제 1 금속 배선층을 포함하는 레이아웃 도면이다. 또, 도 15에 도시하는 레이아웃에 있어서 제 2 P웰 영역 PW2 및 N웰 영역 NW 상의 제 2 금속 배선층의 형성은 실시예 3에 있어서 도 10의 설명에서 예시한 것과 마찬가지로 하며, 여기서는 그들의 설명을 생략한다.

도 15에 도시하는 레이아웃에 있어서, 제 1 P웰 영역 PW1에는 하층의 n+ 확산 영역 FL22와, p+ 확산 영역 FL12와, 폴리실리콘 배선층 PL12를 전기적으로 접속하기 위한 제 1 금속 배선층 AL11이 형성된다. 도 13의 등과 회로에 따르면, 이 제 1 금속 배선층 AL11에 의해 N채널형 MOS 트랜지스터 N1의 드레인 및 N채널형 MOS 트랜지스터 N3의 소스와, P채널형 MOS 트랜지스터 P1의 드레인과, 제 2 CMOS 인버터의 입력 단자의 접속이 달성된다.

특히, 제 1 금속 배선층 AL11에 있어서, n+ 확산 영역 FL22와 p+ 확산 영역 FL12의 접점부분은 상층한 바와 같이 동일 직선 상에 배치되어 있으므로, 그들 2점을 접속하는 배선의 형상을 직선 형상으로 할 수 있다.

또한, 도 15에 도시하는 레이아웃에는 하층의 폴리실리콘 배선층 PL22의 접속점을 이동시키기 위한 제 1 금

-록 2001-0106233

속 배선층 AL13과 폴리실리콘 배선층 PL21의 접속점을 이동시키기 위한 제 1 금속 배선층 AL10이 형성된다.

또한, 동일 레이어에는 하층의 p+ 확산 영역 FL24 및 FL21을 전기적으로 접속함과 동시에, 상층과의 접속점을 이동시키기 위한 제 1 금속 배선층 AL17이 형성된다. 도 13의 등가 회로에 따르면, 이 제 1 금속 배선층 AL17에 의해 N채널형 MOS 트랜지스터 N1 및 N10의 소스끼리의 접속이 달성된다.

특히, 도 14에 도시하는 바와 같이 n+ 확산 영역 FL24 및 FL21은 제 1 웰 경계선과 수직인 방향의 동일 직선 상에 배치되기 때문에, 그들 n+ 확산 영역상의 각 콘택트 홀도 또한 그들 콘택트 홀을 연결하는 직선이 제 1 웰 경계선과 수직인 동일 직선 상에 형성할 수 있다. 즉, 도 15에 도시하는 제 2 금속 배선층 AL17을 제 1 웰 경계선과 수직인 직선 형상으로 형성할 수 있게 된다.

다음에, 도 15에 도시한 레이어의 상층에 위치하는 레이어에 대해서 설명한다. 도 16은 도 15에 도시한 레이어상에 형성되는 제 2 금속 배선층을 포함하는 레이어를 도시한 도면이다. 도 16에 도시하는 레이어에는 도 15에 도시한 제 1 금속 배선층 AL15를 경유하여 p+ 확산 영역 FL11에 전원 전위 VDD를 부여하고 또한 제 1 금속 배선층 AL16을 경유하여 p+ 확산 영역 FL14에 전원 전위 VDD를 부여하기 위한 제 2 금속 배선층 AL21이 형성된다. 즉, 이 제 2 금속 배선층 AL21은 전원 전위 VDD 라인으로서 기능하고, 도 13의 등가 회로에 있어서 P채널형 MOS 트랜지스터 P1의 소스와 전원의 접속 및 P채널형 MOS 트랜지스터 P2의 소스와 전원의 접속을 달성하는 것이다.

또한, 도 15에 도시한 제 1 금속 배선층 AL17을 경유하여 p+ 확산 영역 FL21 및 FL24에 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL22와, 제 1 금속 배선층 AL18을 경유하여 p+ 확산 영역 FL31 및 FL34에 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL23이 형성된다. 즉, 이들 제 2 금속 배선층 AL22 및 AL23은 접지 전위 GND라인으로서 기능하고, 도 13의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N1, N2, N8 및 N10의 각 소스의 접지를 달성하는 것이다.

또한, 도 16에 도시하는 레이어에는 도 15에 도시한 콘택트 홀+제 1 비마홀을 거쳐서 하층의 p+ 확산 영역 FL23에 접속되어 제 1 정상 비트선 WBL1로서 기능하는 제 2 금속 배선층 AL24와, 하층의 p+ 확산 영역 FL26에 접속되어 제 2 역상 비트선 RBL2로서 기능하는 제 2 금속 배선층 AL42와, p+ 확산 영역 FL36에 접속되어 역상 비트선 WBL2로서 기능하는 제 2 금속 배선층 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL1로서 기능하는 제 2 금속 배선층 AL26이 형성된다.

즉, 이들 제 2 금속 배선층 AL24~AL26 및 AL42는 도 13의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3의 반도체 단자의 다른 쪽(드레인)과 제 1 정상 비트선 WBL1의 접속과, N채널형 MOS 트랜지스터 N4의 반도체 단자의 다른 쪽(드레인)과 역상 비트선 WBL2의 접속과, N채널형 MOS 트랜지스터 N9의 반도체 단자의 다른 쪽(드레인)과 제 2 정상 비트선 RBL1의 접속과, N채널형 MOS 트랜지스터 N11의 반도체 단자의 다른 쪽(드레인)과 제 2 역상 비트선 RBL2의 접속을 달성하는 것이다.

특히, 이들 제 2 금속 배선층 AL24~26 및 AL42는 제 1 웰 경계선과 평행한 방향으로 연장하는 직선 형상으로 형성할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 정상 비트선 WBL1, 역상 비트선 WBL2, 제 2 정상 비트선 RBL1 및 제 2 역상 비트선 RBL2의 각 길이를 더욱 짧게 한 것을 의미한다.

또한, 도 16에 도시하는 레이어에는 하층의 제 1 금속 배선층 AL13과 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL41과, 하층의 제 1 금속 배선층 AL19와 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL28과, 하층의 제 1 금속 배선층 AL10과 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL27이 형성된다. 또한, 하층의 제 1 금속 배선층 AL14를 거쳐, 폴리실리콘 배선층 PL31과 상층을 접속하는 제 2 금속 배선층 AL29가 형성된다.

다음에, 도 16에 도시한 레이어의 상층에 위치하는 레이어에 대해서 설명한다. 도 17은 도 16에 도시한 레이어상에 형성되는 제 3 금속 배선층을 포함하는 레이어를 도시한 도면이다. 도 17에 도시하는 레이어에는 제 1 금속 배선층 AL10 및 제 2 금속 배선층 AL27을 경유하여 폴리실리콘 배선층 PL21과 PL33을 전기적으로 접속함과 동시에 제 1 워드선 RWL로서 기능하는 제 3 금속 배선층 AL31이 형성된다. 즉, 이 제 3 금속 배선층 AL31은 도 13의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3 및 N4의 게이트와 제 1 워드선 RWL의 접속을 달성하는 것이다.

또한, 제 1 금속 배선층 AL14 및 제 2 금속 배선층 AL29를 경유하여 폴리실리콘 배선층 PL31과 전기적으로 접속함과 동시에 제 2 워드선 RWL로서 기능하는 제 3 금속 배선층 AL32가 형성된다. 즉, 이 제 3 금속 배선층 AL32는 도 13의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N6의 게이트와 제 2 워드선 RWL의 접속을 달성하는 것이다.

또한, 제 1 금속 배선층 AL13 및 제 2 금속 배선층 AL41을 경유하여 폴리실리콘 배선층 PL22와 전기적으로 접속함과 동시에 제 3 워드선 RWL로서 기능하는 제 3 금속 배선층 AL33이 형성된다. 즉, 이 제 3 금속 배선층 AL33은 도 13의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N11의 게이트와 제 3 워드선 RWL의 접속을 달성하는 것이다.

특히, 도 17에 도시하는 바와 같이 제 2 금속 배선층 AL27 및 AL28의 위치 관계에 따라, 양 금속 배선층 사이를 제 1 웰 경계선에 대해서 수직인 방향으로 연장하는 직선 형상의 금속 배선층에 의해 접속할 수 있다. 즉, 도 17에 도시하는 제 3 금속 배선층 AL31을 제 1 웰 경계선과 수직인 방향으로 연장하는 직선 형상으로 형성할 수 있게 된다. 한편, 제 3 금속 배선층 AL32는 하층과의 접속이 제 2 금속 배선층 AL29 뿐이고, 제 3 금속 배선층 AL33은 하층과의 접속이 제 2 금속 배선층 AL41 뿐이므로, 각각 제 3 금속 배선층 AL31과 평행하게 연장해서 배치할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 워드선 RWL, 제 2 워드선 RWL 및 제 3 워드선 RWL의 각 길이를 더욱 짧게 한 것을 의미한다.

이상에서 설명한 바와 같이, 실시예 4에 따른 반도체 기억 장치에 의하면 3포트 SRAM 셀에 있어서도 실시예 3에 의한 효과를 얻을 수 있다.

특 2001-0106233

(실시예 5)

다음에, 실시예 5에 따른 반도체 기억 장치에 대해서 설명한다. 실시예 4는 차분 판독형 2포트 SRAM 셀을 구성하는 다른 등가 회로에 대한 레이아웃 구성에 대해서 설명하는 것이다. 도 18은 실시예 5에 따른 반도체 기억 장치의 등가 회로를 도시하는 도면이다.

도 18에 도시하는 등가 회로는 도 13에 도시한 등가 회로에 있어서 N채널형 MOS 트랜지스터 N9 및 N11의 게이트끼리를 접속하고, 그 접속라인을 공통의 제 2 워드선 RBL로 한 점만이 실시예 4와 다르다. 그 밖의 구성은 도 13에 도시한 것과 마찬가지로, 여기서는 그 설명을 생략한다.

따라서, 그 동작도 또한 판독 동작을 제 2 정상 비트선 RBL1의 전위와 제 2 역상 비트선 RBL2의 전위의 차분에 의해 실행하는 점 이외에는 도 13에 도시한 등가 회로와 마찬가지로.

또한, 레이아웃 구조에 대해서도 도 16에 대응하는 제 2 금속 배선층 레이아웃과 도 17에 대응하는 제 3 금속 배선층 레이아웃이 다르다. 다른 하층의 레이아웃은 도 14 및 도 15에 도시한 것과 마찬가지로, 여기서는 그들의 설명을 생략한다.

따라서, 이하에 도 15에 도시한 레이아웃의 상층에 위치하는 레이아웃에 대해서 설명한다. 도 19 및 도 20은 실시예 5에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도이며, 특히 도 19는 도 16에 대응하는 제 2 금속 배선층을 포함하는 레이아웃을 도시한 도면이고, 도 20은 도 17에 대응하는 제 3 금속 배선층을 포함하는 레이아웃을 도시한 도면이다.

우선, 도 19에 도시하는 레이아웃에는 도 15에 도시한 제 1 금속 배선층 AL15를 경유하여 p+ 확산 영역 FL11에 전위 전위 VDD를 부여하고 또한 제 1 금속 배선층 AL16을 경유하여 p+ 확산 영역 FL14에 전위 전위 VDD를 부여하기 위한 제 2 금속 배선층 AL21이 형성된다. 즉, 이 제 2 금속 배선층 AL21은 전위 전위 VDD 라인으로서 기능하고, 도 18의 등가 회로에 있어서 P채널형 MOS 트랜지스터 P1의 소스와 전위의 접속 및 P채널형 MOS 트랜지스터 P2의 소스와 전위의 접속을 달성하는 것이다.

또한, 도 15에 도시한 제 1 금속 배선층 AL17을 경유하여 p+ 확산 영역 FL21 및 FL24에 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL22와, 제 1 금속 배선층 AL18을 경유하여 p+ 확산 영역 FL31 및 FL34에 접지 전위 GND를 부여하기 위한 제 2 금속 배선층 AL23이 형성된다. 즉, 이들 제 2 금속 배선층 AL22 및 AL23은 접지 전위 GND라인으로서 기능하고, 도 18의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N1, N2, N8 및 N10의 각 소스의 접지를 달성하는 것이다.

또한, 도 19에 도시하는 레이아웃에는 도 15에 도시한 콘택트 홈+제 1 비마울을 거쳐서 하층의 p+ 확산 영역 FL23에 접속되어 제 1 정상 비트선 RBL1로서 기능하는 제 2 금속 배선층 AL24와, 하층의 p+ 확산 영역 FL26에 접속되어 제 2 역상 비트선 RBL2로서 기능하는 제 2 금속 배선층 AL42와, p+ 확산 영역 FL36에 접속되어 역상 비트선 RBL2로서 기능하는 제 2 금속 배선층 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL1로서 기능하는 제 2 금속 배선층 AL26이 형성된다.

즉, 이들 제 2 금속 배선층 AL24~AL26 및 AL42는 도 18의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3의 반도체 단자의 다른 쪽(드레인)과 제 1 정상 비트선 RBL1의 접속과, N채널형 MOS 트랜지스터 N4의 반도체 단자의 다른 쪽(드레인)과 역상 비트선 RBL2의 접속과, N채널형 MOS 트랜지스터 N9의 반도체 단자의 다른 쪽(드레인)과 제 2 정상 비트선 RBL1의 접속과, N채널형 MOS 트랜지스터 N11의 반도체 단자의 다른 쪽(드레인)과 제 2 역상 비트선 RBL2의 접속을 달성하는 것이다.

특히, 이들 제 2 금속 배선층 AL24~AL26 및 AL42는 제 1 셀 경계선과 평행한 방향으로 연장하는 직선 형상으로 형성할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 정상 비트선 RBL1, 역상 비트선 RBL2, 제 2 정상 비트선 RBL1 및 제 2 역상 비트선 RBL2의 각 길이를 더욱 짧게 한 것을 의미한다.

또한, 도 19에 도시하는 레이아웃에는 하층의 제 1 금속 배선층 AL13과 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL41과, 하층의 제 1 금속 배선층 AL19와 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL28과, 하층의 제 1 금속 배선층 AL10과 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL27과, 하층의 제 1 금속 배선층 AL14를 거쳐서 폴리실리콘 배선층 PL31과 상층의 접속점을 이동시키기 위한 제 2 금속 배선층 AL29가 형성된다.

다음에, 도 19에 도시한 레이아웃의 상층에 위치하는 레이아웃에 대해서 설명한다. 도 20은 도 19에 도시한 레이아웃상에 형성되는 제 3 금속 배선층을 포함하는 레이아웃을 도시한 도면이다. 도 20에 도시하는 레이아웃에는 제 1 금속 배선층 AL10 및 제 2 금속 배선층 AL27을 경유하여 폴리실리콘 배선층 PL21과 PL33을 전기적으로 접속함과 동시에 제 1 워드선 RBL로서 기능하는 제 3 금속 배선층 AL31이 형성된다. 즉, 이 제 3 금속 배선층 AL31은 도 18의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3 및 N4의 게이트와 제 1 워드선 RBL의 접속을 달성하는 것이다.

또한, 제 1 금속 배선층 AL14 및 제 2 금속 배선층 AL29를 경유하여 폴리실리콘 배선층 PL22와 PL31을 전기적으로 접속함과 동시에 제 2 워드선 RBL로서 기능하는 제 3 금속 배선층 AL32가 형성된다. 즉, 이 제 3 금속 배선층 AL32는 도 18의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N9 및 N11의 게이트와 제 2 워드선 RBL의 접속을 달성하는 것이다.

특히, 도 20에 도시하는 바와 같이 제 2 금속 배선층 AL27 및 AL28의 위치 관계에 따라, 양 금속 배선층 사이를 제 1 셀 경계선에 대해서 수직인 방향으로 연장하는 직선 형상의 금속 배선층에 의해 접속할 수 있다. 즉, 도 20에 도시하는 제 3 금속 배선층 AL31을 제 1 셀 경계선과 수직인 방향으로 연장하는 직선 형상으로 형성할 수 있게 된다. 제 3 금속 배선층 AL32에 대해서도 마찬가지이다. 이것은 1개의 메모리 셀내에 있어서 제 1 워드선 RBL 및 제 2 워드선 RBL의 각 길이를 더욱 짧게 한 것을 의미한다.

록 2001-0106233

이상에서 설명한 바와 같이, 실시예 5에 따른 반도체 기억 장치에 의하면 보다 고속이고 안정된 판독 동작이 가능한 차분 판독형 2포트 SRAM 셀에 있어서도 실시예 3에 의한 효과를 얻을 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의하면, 정상 비트선과 전기적으로 접속되는 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2, 제 4 및 제 6 N채널형 MOS 트랜지스터가 분리된 P웰 영역에 각각 형성되므로, 특히 이를 웰 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이아웃을 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 2 P웰 영역을 N웰 영역의 양쪽에 배치하므로, 제 1 및 제 2 P웰 영역에 각각 형성된 N채널형 MOS 트랜지스터와 N웰 영역에 형성된 P채널형 MOS 트랜지스터의 접속 배선 거리를 균일하게 할 수 있어 더욱 배선이 짧은 최적인 레이아웃을 채용할 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 각 비트선의 연장 방향이 제 1 및 제 2 P웰 영역과 N웰 영역의 경계선에 대해서 평행하므로, 각 워드선의 길이도 짧게 하는 것을 고려한 경우, 각 비트선의 길이를 최단으로 하는 레이아웃이 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 각 워드선의 연장 방향이 제 1 및 제 2 P웰 영역과 N웰 영역의 경계선에 대해서 수직이므로, 각 비트선의 길이를 우선적으로 짧게 하는 것을 고려한 경우, 각 워드선의 길이를 최단으로 하는 레이아웃이 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 P채널형 MOS 트랜지스터와 제 1, 제 3 및 제 4 N채널형 MOS 트랜지스터의 각 게이트 영역이 동일 직선 상에 위치하도록 형성되므로, 이들 게이트 사이를 접속하기 위한 배선을 직선형상으로 할 수 있고, 또한, 제 2 P채널형 MOS 트랜지스터와 제 2, 제 5 및 제 6 N채널형 MOS 트랜지스터의 각 게이트 영역에 대해서도 동일 직선 상에 위치하도록 형성되므로, 이들 게이트 사이를 접속하기 위한 배선을 직선형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 액세스 게이트로서 기능하는 제 3 및 제 5 N채널형 MOS 트랜지스터의 각 소스 및 드레인이 동일 직선 상에 위치하므로, 이들 제 3 및 제 5 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 4 및 제 6 N채널형 MOS 트랜지스터에 대해서도 마찬가지로 각 소스 및 드레인이 동일 직선 상에 위치하므로, 이들 제 4 및 제 6 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있어, 메모리 셀의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 3 및 제 5 N채널형 MOS 트랜지스터와 제 4 및 제 6 N채널형 MOS 트랜지스터에 있어서 각각 드레인 확산 영역이 공통의 n^+ 확산 영역에 형성되어 있으므로, n^+ 확산 영역을 작게 할 수 있어 n^+ 확산 영역에 의한 기생 용량을 저감할 수 있게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 N채널형 MOS 트랜지스터와 제 3 및 제 5 N채널형 MOS 트랜지스터의 각 드레인 확산 영역이 상층의 제 1 금속 배선에 의해 접속되고, 제 2 N채널형 MOS 트랜지스터와 제 4 및 제 6 N채널형 MOS 트랜지스터의 각 드레인 확산 영역이 상층의 제 2 금속 배선에 의해 접속되므로, 이들 제 1 및 제 2 금속 배선을 상기한 드레인 확산 영역의 배치 위치에 따라서 직선형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 2 금속 배선의 연장 방향이 각 워드선의 연장 방향에 대해서 평행하므로, 이들 금속 배선의 길이도 워드선과 마찬가지로 최적인 길이로 할 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 각 비트선과, 전위 라인과, BMD 라인의 각각의 연장 방향이 각 워드선에 대해서 수직이므로, 이들 배선의 길이를 최단으로 할 수 있어 고속 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터와 제 2, 제 4 및 제 6 N채널형 MOS 트랜지스터에 있어서 각각 드레인 확산 영역이 공통의 n^+ 확산 영역에 형성되어 있으므로, 이들 드레인 확산 영역 사이의 금속 배선을 생략할 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 n^+ 확산 영역과 제 1 P채널형 MOS 트랜지스터의 드레인 확산 영역 및 제 2 n^+ 확산 영역과 제 2 P채널형 MOS 트랜지스터의 드레인 확산 영역이 각각 상층의 금속 배선에 의해 접속되므로, 이들 금속 배선을 상기한 드레인 확산 영역과 n^+ 확산 영역의 배치 위치에 따라 직선형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 5 및 제 6 N채널형 MOS 트랜지스터를 판독용 포트로 한 2포트 SRAM 셀을 구성하는 회로에 있어서, 정상 비트선과 전기적으로 접속되는 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2 및 제 4 N채널형 MOS 트랜지스터가 분리된 P웰 영역에 각각 형성되므로, 특히 이들 웰 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이아웃을 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 5 및 제 6 N채널형 MOS 트랜지스터를 제 1 판독용 포트로 합과 동시에 제 7 및 제 8 N채널형 MOS 트랜지스터를 제 2 판독용 포트로 한 3포트 SRAM 셀을 구성하는 회로에 있어서, 정상 비트선과 전기적으로 접속되는 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2, 제 4 및 제 7 N채널형 MOS 트랜지스터가 분리된 P웰 영역에 각각 형성되므로, 특히 이들 웰 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이아웃을 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 정상 비트선과 제 2 역상 비트선 사이의 전위의 차분에 의해 판독 동작을 실행하는 차분 판독형 2포트 SRAM 셀을 구성하는 회로에 있어서, 정상 비트선과 전기적으로 접속되는 제 1,

특 2001-0106233

제 3 및 제 5 N채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2, 제 4 및 제 7 N채널형 MOS 트랜지스터가 형성된 P웰 영역에 각각 형성되므로, 특히 이들 웰 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이아웃을 적용하는 것이 가능하게 되어 고속의 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 2 P웰 영역을 N웰 영역의 양측에 배치하므로, 제 1 및 제 2 P웰 영역에 각각 형성된 N채널형 MOS 트랜지스터와 N웰 영역에 형성된 P채널형 MOS 트랜지스터의 접속 배선 거리를 균일하게 할 수 있어 더욱 배선이 짧은 최적의 레이아웃을 채용할 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 각 비트선의 연장 방향이 제 1 및 제 2 P웰 영역과 N웰 영역의 경계선에 대해서 평행하므로, 각 워드선의 길이도 짧게 하는 것을 고려한 경우, 각 비트선의 길이를 최단으로 하는 레이아웃이 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 각 워드선의 연장 방향이 제 1 및 제 2 P웰 영역과 N웰 영역의 경계선에 대해서 수직이므로, 각 비트선의 길이를 우선적으로 짧게 하는 것을 고려한 경우, 각 워드선의 길이를 최단으로 하는 레이아웃이 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 P채널형 MOS 트랜지스터와 제 1, 제 4 및 제 6 N채널형 MOS 트랜지스터의 각 게이트 영역이 동일 직선 상에 위치하도록 형성되므로, 이들 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 또한, 제 2 P채널형 MOS 트랜지스터와 제 2, 제 3 및 제 5 N채널형 MOS 트랜지스터의 각 게이트 영역에 대해서도 동일 직선 상에 위치하도록 형성되므로, 이들 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 N채널형 MOS 트랜지스터의 드레인과 제 4 N채널형 MOS 트랜지스터의 소스가 동일 직선 상에 위치하므로 이들 제 2 및 제 4 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 5 N채널형 MOS 트랜지스터의 드레인과 제 6 N채널형 MOS 트랜지스터의 소스도 마찬가지로 동일 직선 상에 위치하므로 이들 제 5 및 제 6 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있어, 메모리 셀의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 3 N채널형 MOS 트랜지스터와 제 5 및 제 6 N채널형 MOS 트랜지스터에 있어서 각각 반도체 단자의 한쪽이 공통의 n^+ 확산 영역에 형성되어 있으므로, n^+ 확산 영역을 작게 할 수 있어 n^+ 확산 영역에 의한 기생 용량을 저감할 수 있게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 P채널형 MOS 트랜지스터와 제 2 및 제 5 N채널형 MOS 트랜지스터가 서로의 게이트 영역을 직선 형상의 공통의 폴리실리콘 배선에 의해 접속하고 있으므로, 이들 MOS 트랜지스터 사이의 배치 간격을 작게 할 수 있어 메모리 셀의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 각 비트선과, 전원 라인과, GND 라인의 각각의 연장 방향이 각 워드선에 대해서 수직이므로, 이들 배선의 길이를 최단으로 할 수 있어 고속 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 P채널형 MOS 트랜지스터와 제 1, 제 4, 제 6 및 제 7 N채널형 MOS 트랜지스터의 각 게이트 영역이 동일 직선 상에 위치하도록 형성되므로, 이들 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 또한 제 2 P채널형 MOS 트랜지스터와 제 2, 제 3, 제 5 및 제 8 N채널형 MOS 트랜지스터의 각 게이트 영역에 대해서도 동일 직선 상에 위치하도록 형성되므로, 이들 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 N채널형 MOS 트랜지스터의 드레인과 제 4 N채널형 MOS 트랜지스터의 소스가 동일 직선 상에 위치하므로 이들 제 2 및 제 4 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 5 N채널형 MOS 트랜지스터의 드레인과 제 6 N채널형 MOS 트랜지스터의 소스도 마찬가지로 동일 직선 상에 위치하므로 이들 제 5 및 제 6 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 7 N채널형 MOS 트랜지스터의 드레인과 제 8 N채널형 MOS 트랜지스터의 소스도 마찬가지로 동일 직선 상에 위치하므로 이들 제 7 및 제 8 N채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있어, 메모리 셀의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 3 N채널형 MOS 트랜지스터와 제 5 및 제 6 N채널형 MOS 트랜지스터와 제 7 및 제 8 N채널형 MOS 트랜지스터에 있어서, 각각 반도체 단자의 한쪽이 공통의 n^+ 확산 영역에 형성되어 있으므로, n^+ 확산 영역을 작게 할 수 있어 n^+ 확산 영역에 의한 기생 용량을 저감할 수 있게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 P채널형 MOS 트랜지스터와 제 2 및 제 5 N채널형 MOS 트랜지스터가 서로의 게이트 영역을 직선 형상의 공통의 폴리실리콘 배선에 의해 접속하고, 또한 제 1 P채널형 MOS 트랜지스터와 제 1 및 제 7 N채널형 MOS 트랜지스터가 서로의 게이트 영역을 직선 형상의 공통의 폴리실리콘 배선에 의해 접속하고 있으므로, 이들 MOS 트랜지스터 사이의 배치 간격을 작게 할 수 있어 메모리 셀의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

이상 본 발명에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론이다.

(57) 청구의 범위

청구항 1

제 1 워드선, 제 2 워드선, 제 1 정상(positive-phase) 비트선, 제 1 역상(negative-phase) 비트선, 제 2 정상 비트선 및 제 2 역상 비트선과,

제 1 N채널형 MOS 트랜지스터 및 제 1 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하는 제 1

록 2001-0106233

CMOS 인버터와,

제 2 N채널형 MOS 트랜지스터 및 제 2 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하며, 또한 상기 CMOS 인버터의 입력 단자를 제 1 기의 노드로 해서 상기 제 1 CMOS 인버터의 출력 단자에 접속하고, 상기 CMOS 인버터의 출력 단자를 제 2 기의 노드로 해서 상기 제 1 CMOS 인버터의 입력 단자에 접속한 제 2 CMOS 인버터와,

게이트를 상기 제 1 워드선에 접속하고, 드레인을 상기 제 1 정상 비트선에 접속하며, 소스를 상기 제 1 기의 노드에 접속한 제 3 N채널형 MOS 트랜지스터와,

게이트를 상기 제 1 워드선에 접속하고, 드레인을 상기 제 1 역상 비트선에 접속하며, 소스를 상기 제 2 기의 노드에 접속한 제 4 N채널형 MOS 트랜지스터와,

게이트를 상기 제 2 워드선에 접속하고, 드레인을 상기 제 2 정상 비트선에 접속하며, 소스를 상기 제 1 기의 노드에 접속한 제 5 N채널형 MOS 트랜지스터와,

게이트를 상기 제 2 워드선에 접속하고, 드레인을 상기 제 2 역상 비트선에 접속하며, 소스를 상기 제 2 기의 노드에 접속한 제 6 N채널형 MOS 트랜지스터

를 구비하되,

상기 제 1 및 제 2 P채널형 MOS 트랜지스터는 N웰 영역에 형성되고,

상기 제 1, 제 3 및 제 5 N채널형 MOS 트랜지스터는 제 1 P웰 영역에 형성되며,

상기 제 2, 제 4 및 제 6 N채널형 MOS 트랜지스터는 제 2 P웰 영역에 형성된 것을 특징으로 하는 반도체 기억 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 P웰 영역은 상기 N웰 영역의 양측에 형성된 것을 특징으로 하는 반도체 기억 장치.

청구항 3

제 1 워드선, 제 2 워드선, 제 1 정상 비트선, 제 1 역상 비트선 및 제 2 정상 비트선과,

제 1 N채널형 MOS 트랜지스터 및 제 1 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하는 제 1 CMOS 인버터와,

제 2 N채널형 MOS 트랜지스터 및 제 2 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하며, 또한 상기 CMOS 인버터의 입력 단자를 제 1 기의 노드로 해서 상기 제 1 CMOS 인버터의 출력 단자에 접속하고, 상기 CMOS 인버터의 출력 단자를 제 2 기의 노드로 해서 상기 제 1 CMOS 인버터의 입력 단자에 접속한 제 2 CMOS 인버터와,

게이트를 상기 제 1 워드선에 접속하고, 드레인을 상기 제 1 정상 비트선에 접속하며, 소스를 상기 제 1 기의 노드에 접속한 제 3 N채널형 MOS 트랜지스터와,

게이트를 상기 제 1 워드선에 접속하고, 드레인을 상기 제 1 역상 비트선에 접속하며, 소스를 상기 제 2 기의 노드에 접속한 제 4 N채널형 MOS 트랜지스터와,

게이트를 상기 제 1 기의 노드에 접속한 제 5 N채널형 MOS 트랜지스터와,

게이트를 상기 제 2 워드선에 접속하고, 드레인을 상기 제 2 정상 비트선에 접속하며, 소스를 상기 제 5 N채널형 MOS 트랜지스터의 드레인에 접속한 제 6 N채널형 MOS 트랜지스터

를 구비하되,

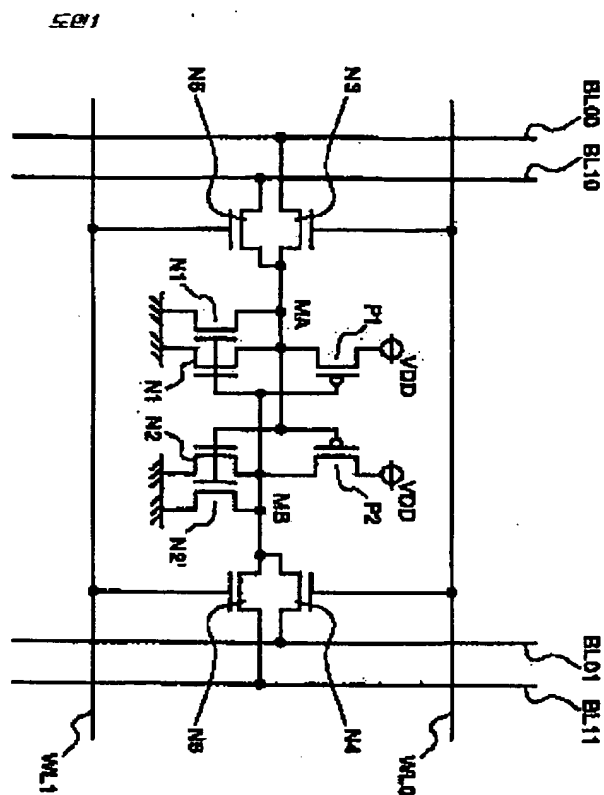
상기 제 1 및 제 2 P채널형 MOS 트랜지스터는 N웰 영역에 형성되고,

상기 제 1 및 제 3 N채널형 MOS 트랜지스터는 제 1 P웰 영역에 형성되며,

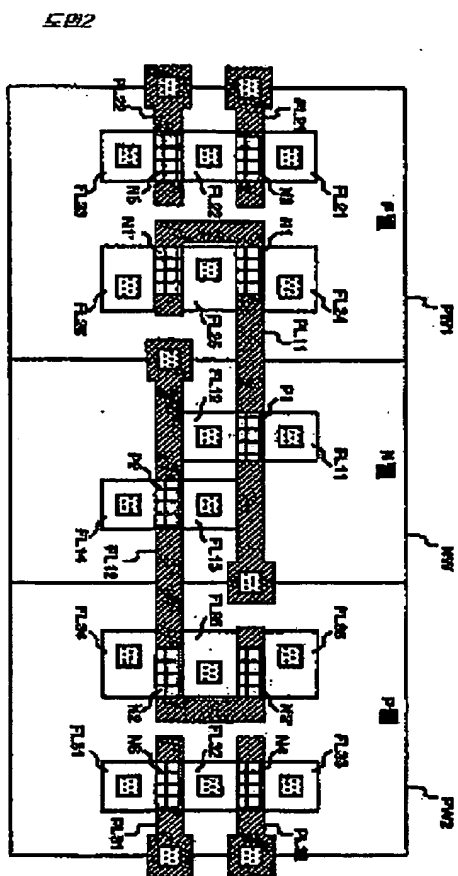
상기 제 2, 제 4, 제 5 및 제 6 N채널형 MOS 트랜지스터는 제 2 P웰 영역에 형성된 것을 특징으로 하는 반도체 기억 장치.

도면

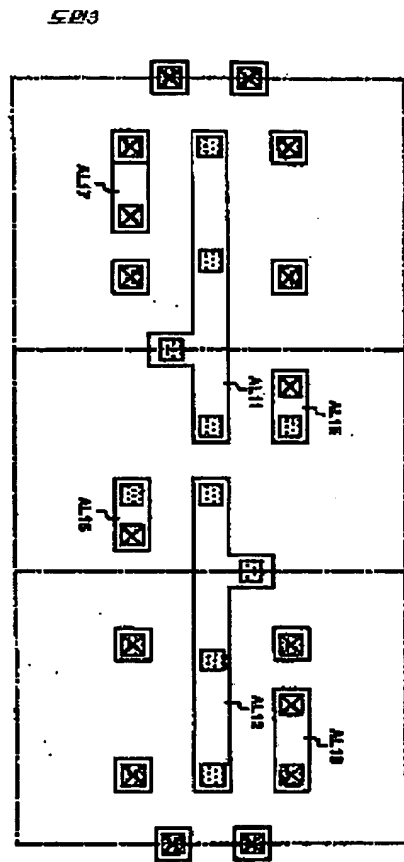
号 2001-01 06233



국 2001-0106233

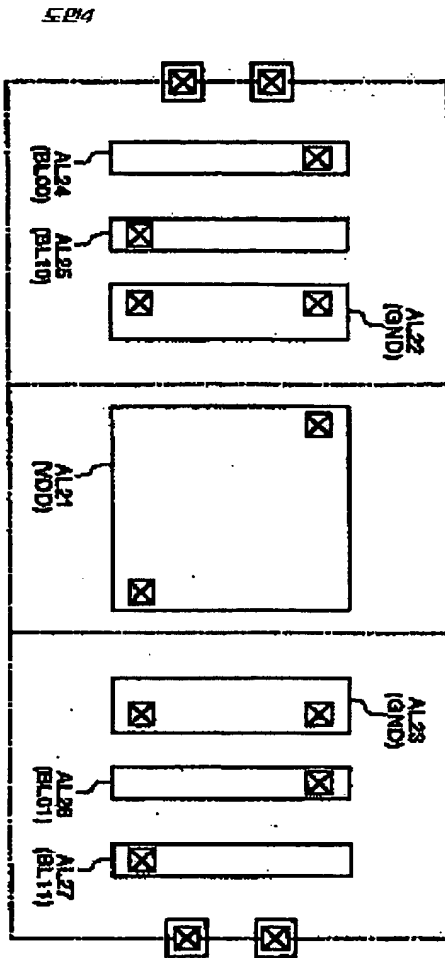


북 2001-0106233



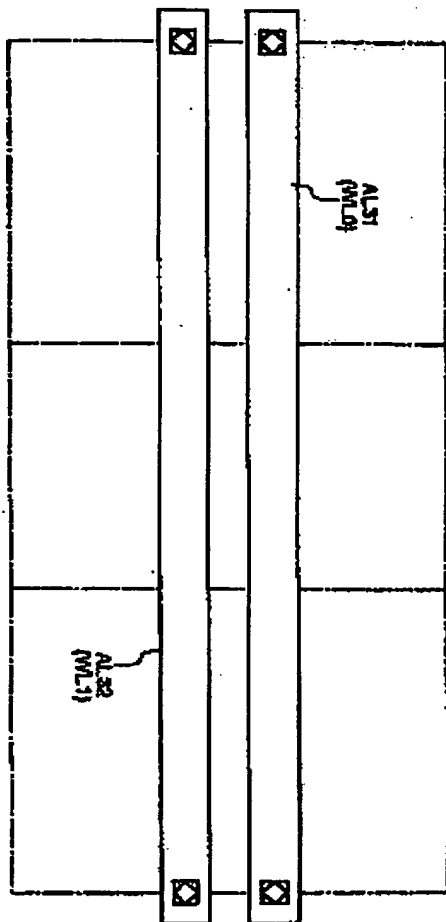
38-21

2001-0105233



북 2001-0106233

도면5

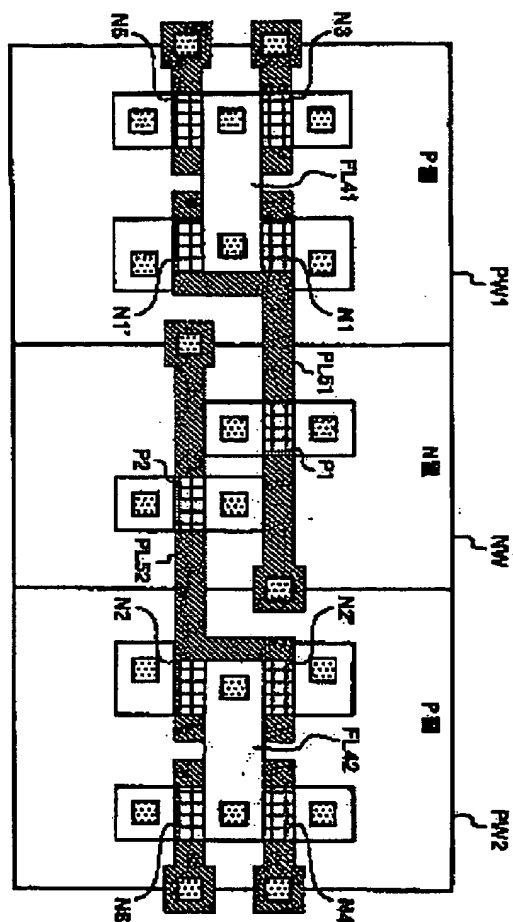


도면6

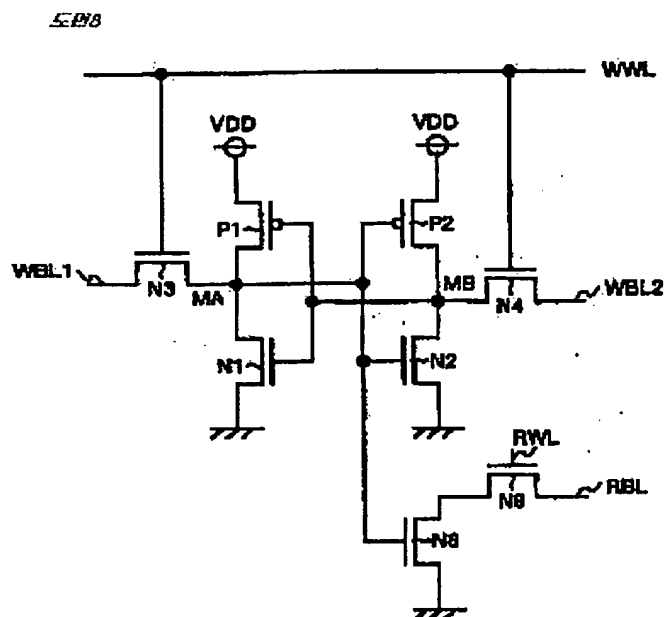
- ☒ 컨택트 홀
- ☒ 제 1 비아홀
- ☒ 제 2 비아홀
- ☒ 컨택트 홀 + 제 1 비아홀

국 2001-01 06233

507

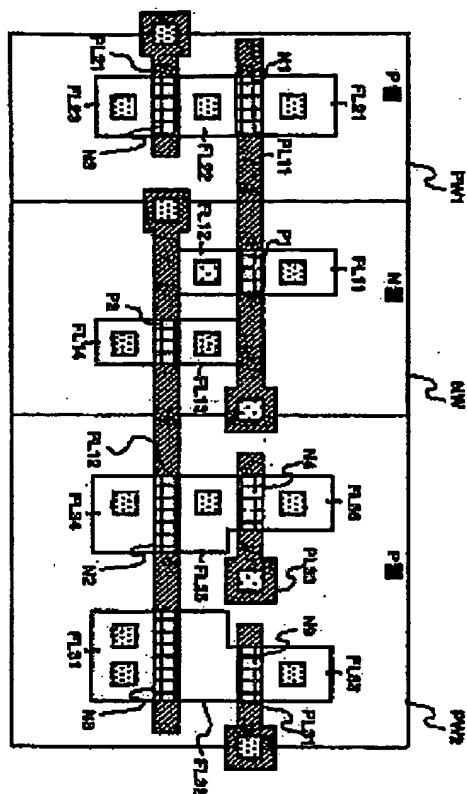


특 2001-01 06233

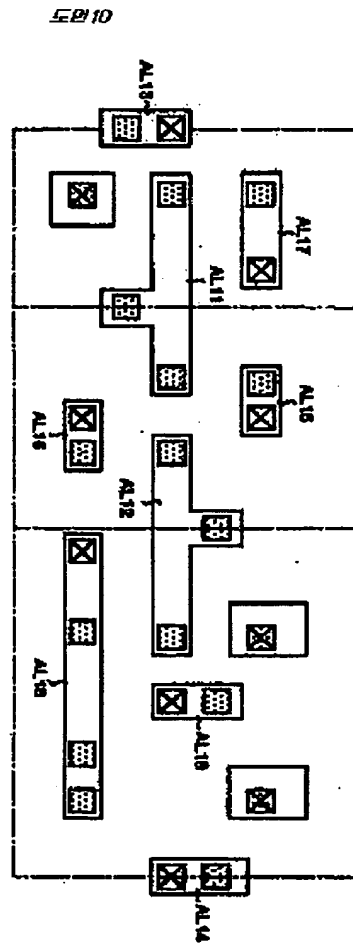


특 2001-01 06233

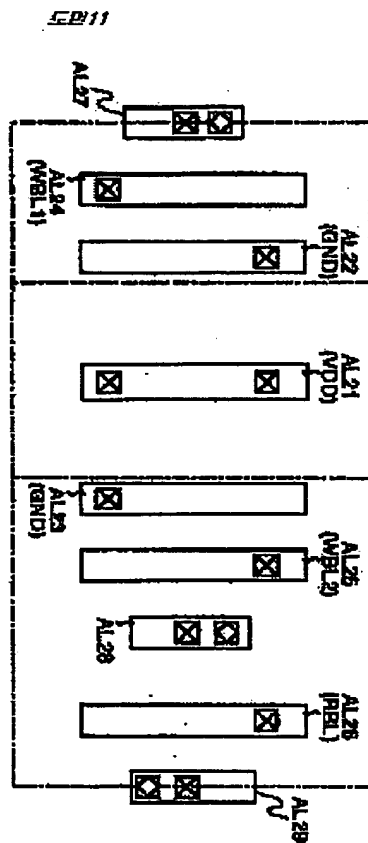
500



북 2001-0106233

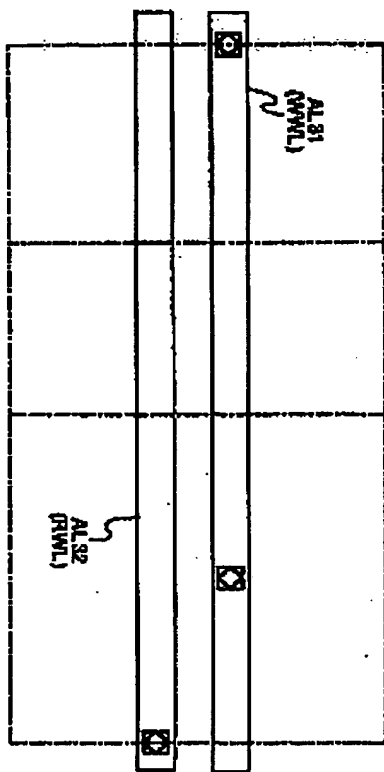


2001-0106233



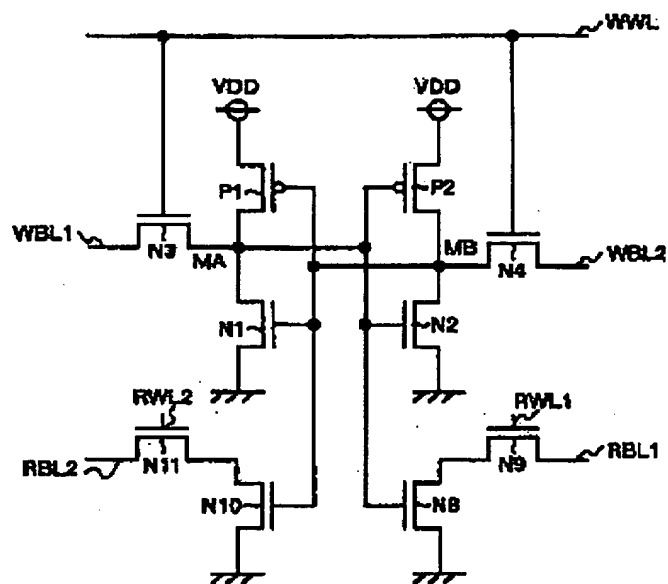
2001-0106233

SP12

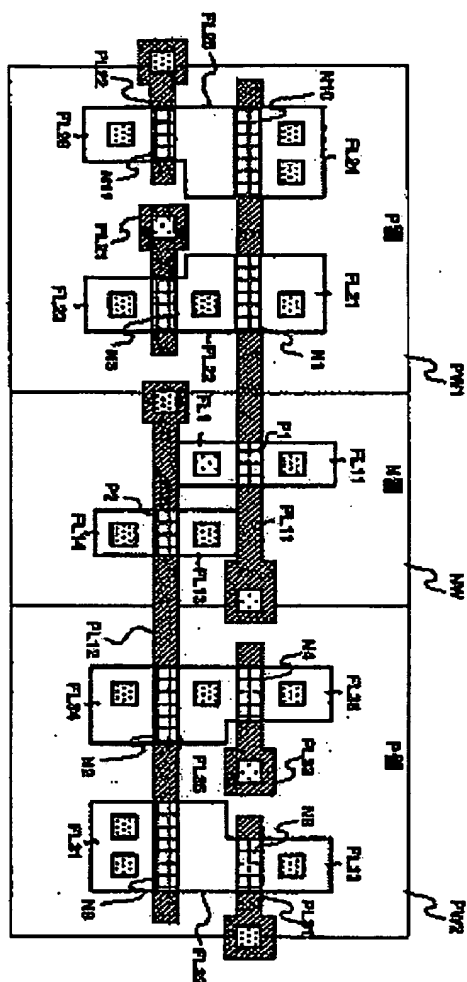


특 2001-0106233

도표 19

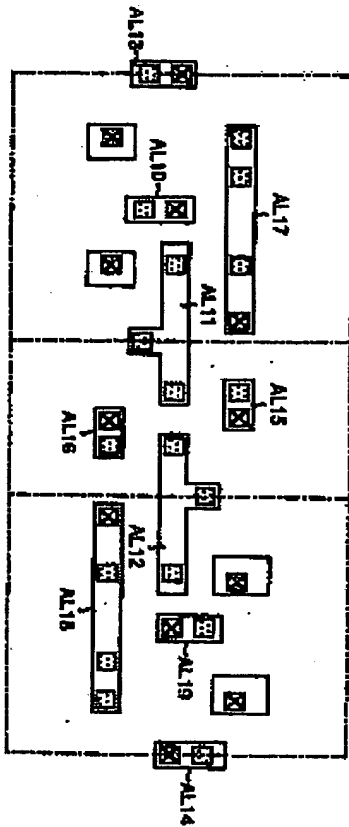


号 2001-0106233

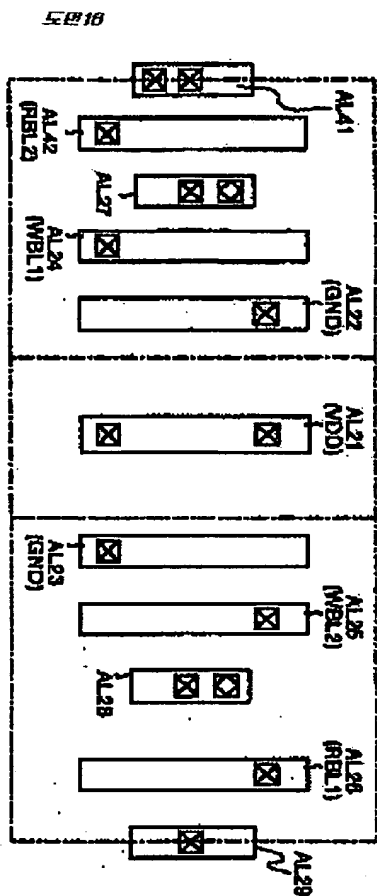
도표 14

2001-0106233

5015

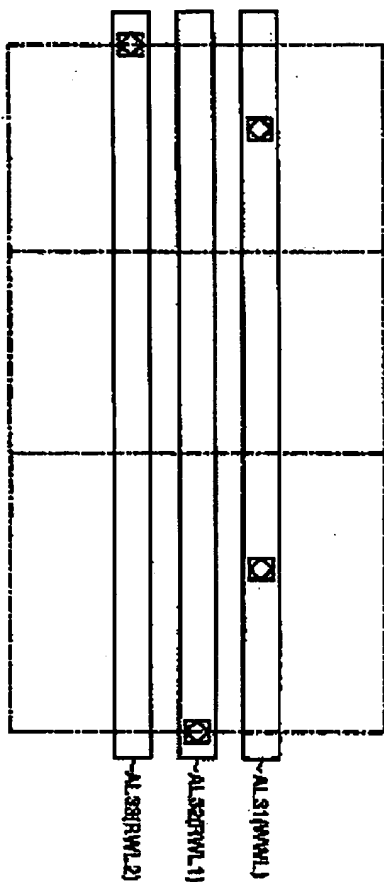


북 2001-0106233

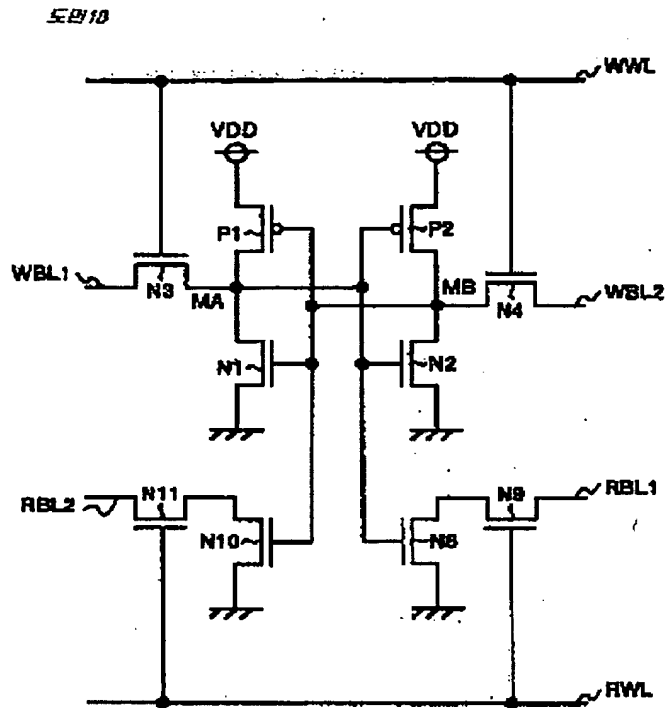


특 2001-0106233

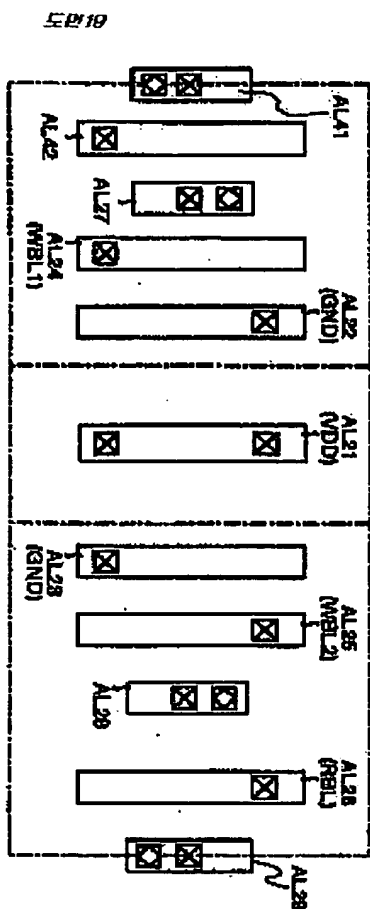
도 17



2001-0106233



특 2001-0106233



2001-0106233

图 20

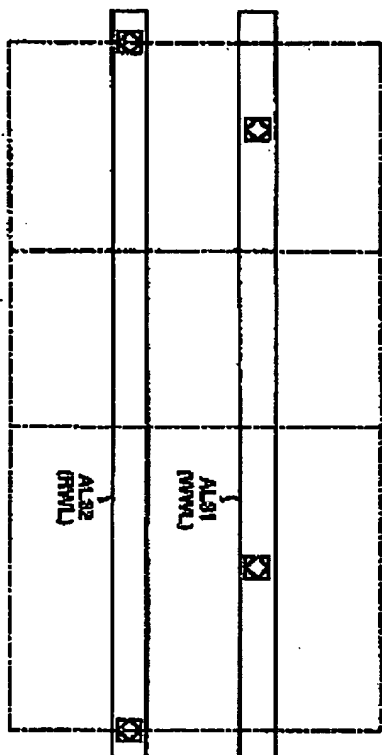
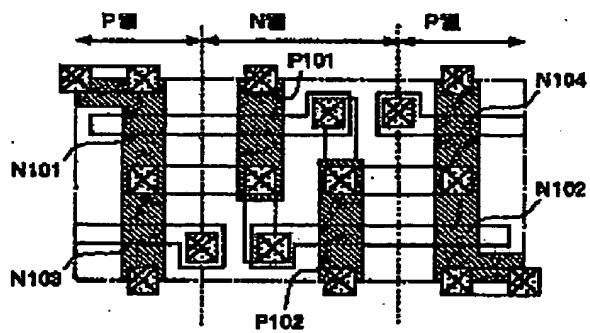


图 21



목 2001-0106233

FIG. 22

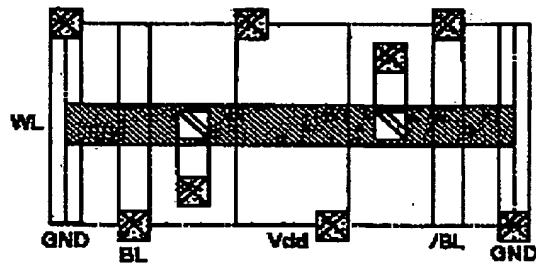


FIG. 23

